

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-262554

(43)Date of publication of application : 13.09.2002

(51)Int.Cl.

H02M 3/155

(21)Application number : 2002-033176

(71)Applicant : LINEAR TECHNOL CORP

(22)Date of filing : 08.02.2002

(72)Inventor : HOBRECHT STEPHEN W
FLATNESS RANDY G

(30)Priority

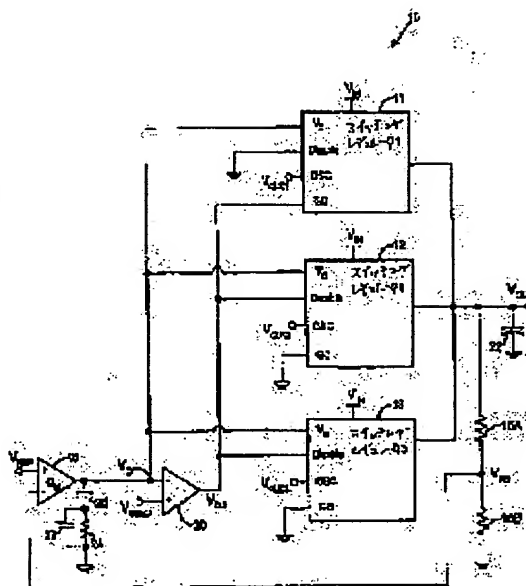
Priority number : 2001 780649 Priority date : 08.02.2001 Priority country : US

(54) MULTIPHASE SWITCHING REGULATOR HAVING STAGE SHADING

(57)Abstract:

PROBLEM TO BE SOLVED: To achieve a multiphase switching regulator which provides high efficiency, covering a wide range of a load current, including a light load current.

SOLUTION: This multiphase switching regulator includes a plurality of single-phase switching regulators which are connected to an output, and a first comparator which is connected to a feedback circuit for preventing a first regulator out of the single-phase switching regulators from outputting a current to a load connected to the output after the load current drops under the threshold of the first comparator. A feedback loop can further include a resistance divider and a first amplifier connected to at least one single-phase switching regulator.



LEGAL STATUS

[Date of request for examination]

03.02.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-262554
(P2002-262554A)

(43) 公開日 平成14年9月13日 (2002.9.13)

(51) Int.Cl.⁷

識別記号

F I

テーマコード* (参考)

H 0 2 M 3/155

H 0 2 M 3/155

W 5 H 7 3 0

H

審査請求 未請求 請求項の数55 O L (全 26 頁)

(21) 出願番号 特願2002-33176(P2002-33176)

(22) 出願日 平成14年2月8日 (2002.2.8)

(31) 優先権主張番号 09/780, 649

(32) 優先日 平成13年2月8日 (2001.2.8)

(33) 優先権主張国 米国 (U S)

(71) 出願人 593219551

リニア テクノロジー コーポレイション

Linear Technology Corporation

アメリカ合衆国 カリフォルニア 95035,
ミルピタス, マッカーシー ブールバード
1630

(74) 代理人 100078282

弁理士 山本 秀策

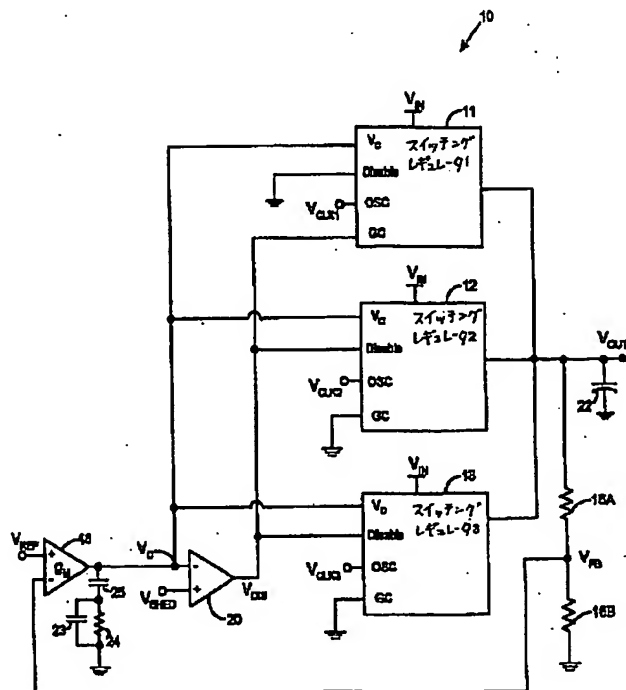
最終頁に続く

(54) 【発明の名称】 ステージシェディングを有する多相スイッチングレギュレータ

(57) 【要約】

【課題】 軽負荷電流を含む幅広いレンジの負荷電流に渡って高効率を提供する多相スイッチングレギュレータを実現する。

【解決手段】 本発明の多相スイッチングレギュレータは、出力に接続された複数の単相スイッチングレギュレータと、負荷電流が第1のコンパレータの閾値よりも低く下降した後に、単相スイッチングレギュレータのうちの第1のレギュレータが、出力に接続された負荷に電流を出力するのを防止するフィードバック回路に接続された第1のコンパレータとを含む。フィードバック回路は、抵抗分割器と少なくとも1つの単相スイッチングレギュレータに接続された第1の増幅器をさらに含む得る。



【特許請求の範囲】

【請求項1】 出力に接続された複数の単相スイッチングレギュレータと、負荷電流が前記第1のコンパレータの閾値よりも低く下降した後に、前記単相スイッチングレギュレータのうちの第1のレギュレータが、前記出力に接続された負荷に電流を出力するのを防止するフィードバックループ回路に接続された第1のコンパレータと、を含む、多相スイッチングレギュレータ。

【請求項2】 前記フィードバックループが、抵抗分割器と単相スイッチングレギュレータのうちの少なくとも1つとに接続された第1の増幅器をさらに含む、請求項1に記載の多相スイッチングレギュレータ。

【請求項3】 前記複数の単相スイッチングレギュレータが、同期型スイッチングレギュレータである、請求項1に記載の多相スイッチングレギュレータ。

【請求項4】 前記複数の単相スイッチングレギュレータが、3つの単相スイッチングレギュレータを含む、請求項1に記載の多相スイッチングレギュレータ。

【請求項5】 前記第1のコンパレータは、前記負荷電流が前記第1のコンパレータの前記閾値よりも低く下降した場合、前記単相スイッチングレギュレータのうちの2つのレギュレータが、前記負荷に電流を出力するのを防止する、請求項4に記載の多相スイッチングレギュレータ。

【請求項6】 前記複数の単相スイッチングレギュレータは、4つの単相スイッチングレギュレータを含む、請求項1に記載の多相スイッチングレギュレータ。

【請求項7】 前記第1のコンパレータは、前記負荷電流が前記第1のコンパレータの前記閾値よりも低く下降した場合、前記単相スイッチングレギュレータのうちの3つのレギュレータが、前記負荷に電流を出力するのを防止する、請求項6に記載の多相スイッチングレギュレータ。

【請求項8】 前記第1のコンパレータは、前記負荷電流が前記第1のコンパレータの前記閾値よりも低く下降した場合、前記単相スイッチングレギュレータのうちの2つのレギュレータが、前記負荷に電流を出力するのを防止する、請求項6に記載の多相スイッチングレギュレータ。

【請求項9】 前記単相スイッチングレギュレータのうち少なくとも第2のレギュレータは、前記負荷電流が前記第1のコンパレータの前記閾値よりも低く下降した後に、前記第2の単相スイッチングレギュレータの出力電流を上昇させる、前記第1のコンパレータに接続された第1の利得制御回路を含む、請求項1に記載の多相スイッチングレギュレータ。

【請求項10】 前記第1の利得制御回路は、前記第2の単相スイッチングレギュレータの電流閾値を上昇させる前記フィードバックループに接続された増幅器を含む、請求項9に記載の多相スイッチングレギュレ

ータ。

【請求項11】 前記第1の利得制御回路が、抵抗器と、前記抵抗器および前記第1のコンパレータに接続されたトランジスタであって、前記負荷電流が前記第1のコンパレータの前記閾値よりも低く下降した場合に、前記トランジスタが前記抵抗器を短絡させる、トランジスタと、をさらに含む、請求項9に記載の多相スイッチングレギュレータ。

【請求項12】 第2のコンパレータであって、前記負荷電流が、前記第1のコンパレータの前記閾値よりも低い前記第2のコンパレータの閾値よりも低く下降した場合、前記第2の単相スイッチングレギュレータが、前記負荷に電流を出力するのを防止するフィードバックループ回路に接続された第2のコンパレータをさらに含む、請求項9に記載の多相スイッチングレギュレータ。

【請求項13】 前記単相スイッチングレギュレータのうち少なくとも第3のレギュレータは、前記負荷電流が前記第2のコンパレータの前記閾値よりも低く下降した後に、前記第3の単相スイッチングレギュレータの出力電流を上昇させる、前記第2のコンパレータに接続された第2の利得制御回路を含む、請求項12に記載の多相スイッチングレギュレータ。

【請求項14】 前記第2の利得制御回路が、抵抗器と、前記抵抗器および前記第2のコンパレータに接続されたトランジスタであって、前記負荷電流が前記第2のコンパレータの前記閾値よりも低く下降した場合に、前記トランジスタが前記抵抗器を短絡させる、トランジスタと、をさらに含む、請求項13に記載の多相スイッチングレギュレータ。

【請求項15】 前記第1の利得制御回路が、抵抗分割器と、前記抵抗分割器および前記第1のコンパレータに接続されたトランジスタであって、前記負荷電流が前記第1のコンパレータの前記閾値よりも高く上昇した場合に、前記トランジスタが前記抵抗分割器における抵抗を短絡させる、トランジスタと、をさらに含む、請求項9に記載の多相スイッチングレギュレータ。

【請求項16】 前記第1の利得制御回路が、並列に接続された第1および第2の抵抗器であって、前記負荷電流が、前記第1のコンパレータの前記閾値よりも低く下降した後に、電流が前記抵抗器の両方を流れる、第1および第2の抵抗器をさらに含む、請求項9に記載の多相スイッチングレギュレータ。

【請求項17】 前記第1の利得制御回路が、前記フィードバックループ回路に接続された抵抗器と、前記抵抗器および前記第2の単相スイッチングレギュレータに接続された電流ミラー回路であって、前記電流ミラーが前記第2の単相スイッチングレギュレータの前記

出力電流を調節する、電流ミラー回路と、を含む、請求項9に記載の多相スイッチングレギュレータ。

【請求項18】 多相スイッチングレギュレータから、出力に接続された負荷に電流を供給する方法であって、前記方法は、前記出力に接続された複数の単相スイッチングレギュレータおよびフィードバックループ回路を用いて、前記出力における電圧を調整するステップと、前記単相スイッチングレギュレータのうちの少なくとも1つが、第1の低パワーモードにおいて、低負荷電流で前記出力に電流を供給するのを防止するステップと、を含む方法。

【請求項19】 前記複数の単相スイッチングレギュレータおよび前記フィードバックループ回路を用いて、前記出力における前記電圧を調整するステップが、前記単相スイッチングレギュレータのうちの少なくとも1つに接続された増幅器を用いて前記出力電圧をモニタリングするステップをさらに含む、請求項18に記載の方法。

【請求項20】 前記複数の単相スイッチングレギュレータが、同期型スイッチングレギュレータである、請求項18に記載の方法。

【請求項21】 前記複数の単相スイッチングレギュレータが、3つの単相スイッチングレギュレータを含む、請求項18に記載の方法。

【請求項22】 前記単相スイッチングレギュレータのうちの少なくとも1つが、前記第1の低パワーモードにおいて、低負荷電流で前記出力に電流を供給するのを防止するステップが、前記単相スイッチングレギュレータのうちの2つのレギュレータが、低負荷電流で前記負荷に電流を出力するのを防止するステップをさらに含む、請求項21に記載の方法。

【請求項23】 前記複数の単相スイッチングレギュレータは、4つの単相スイッチングレギュレータを含む、請求項18に記載の方法。

【請求項24】 前記単相スイッチングレギュレータのうちの少なくとも1つが、前記第1の低パワーモードにおいて、低負荷電流で前記出力に電流を供給するのを防止するステップが、前記単相スイッチングレギュレータのうちの3つのレギュレータが、低負荷電流で前記負荷に電流を出力するのを防止するステップをさらに含む、請求項23に記載の方法。

【請求項25】 前記単相スイッチングレギュレータのうちの少なくとも1つが、前記第1の低パワーモードにおいて、低負荷電流で前記出力に電流を供給するのを防止するステップが、前記単相スイッチングレギュレータのうちの2つのレギュレータが、低負荷電流で前記負荷に電流を出力するのを防止するステップをさらに含む、請求項23に記載の方法。

【請求項26】 前記負荷電流が、第1の利得制御回路

を用いて閾値よりも低く下降した後に、前記第1の低パワーモードにおいて、残りの単相スイッチングレギュレータのうちの少なくとも1つによって前記出力に供給された電流が上昇される、請求項18に記載の方法。

【請求項27】 前記第1の利得制御回路を用いるステップが、前記フィードバックループ回路の出力信号をモニタリングするステップと、増幅器を用いて残りの単相スイッチングレギュレータの少なくとも1つのインダクタ電流閾値を調整するステップとをさらに含む、請求項26に記載の方法。

【請求項28】 前記第1の利得制御回路を用いるステップが、前記負荷電流が前記負荷電流閾値よりも低く下降した場合、抵抗器に接続されたトランジスタをオンすることによって前記抵抗器を短絡させるステップをさらに含む、請求項26に記載の方法。

【請求項29】 前記単相スイッチングレギュレータのうちの少なくとも1つが、前記第1の低パワーモードにおいて、低負荷電流で前記出力に電流を供給するのを防止するステップは、前記負荷電流が、前記フィードバックループ回路に接続された第1のコンパレータの閾値よりも低く下降した場合、少なくとも1つの単相スイッチングレギュレータが前記出力に電流を供給するのを防止するステップをさらに含む、請求項18に記載の方法。

【請求項30】 第2の低パワーモードにおいて、前記負荷電流が、前記第1のコンパレータの前記閾値よりも低い第2のコンパレータの閾値よりも低く下降した場合、第2の単相スイッチングレギュレータが、電流を前記負荷に出力するのを防止するステップをさらに含む、請求項29に記載の方法。

【請求項31】 前記負荷電流が前記第2のコンパレータの前記閾値よりも低く下降した後に、前記第2の低パワーモードにおいて、前記単相スイッチングレギュレータのうち第3のレギュレータによって前記出力に供給される電流が、第2の利得制御回路を用いて上昇される、請求項30に記載の方法。

【請求項32】 前記負荷電流が前記第2のコンパレータの前記閾値よりも低く下降した場合、前記抵抗器に接続されたトランジスタをオンすることによって、前記抵抗器が短絡される、請求項31に記載の方法。

【請求項33】 前記負荷電流が前記第1のコンパレータの前記閾値よりも高い場合にのみ、抵抗分割器における抵抗が短絡される、請求項29に記載の方法。

【請求項34】 第1の抵抗器が、第2の抵抗器に並列に接続され、前記第1の低パワーモードにおいて、両方の抵抗器を電流が流れる、請求項26に記載の方法。

【請求項35】 前記複数の単相スイッチングレギュレータが、2つの単相スイッチングレギュレータを含む、請求項18に記載の方法。

【請求項36】 複数の単相スイッチングレギュレータおよびフィードバックループ回路を用いて出力における電圧を調整する手段と、

前記単相スイッチングレギュレータのうちの第1のレギュレータを、低負荷電流閾値よりも低い、オフにする手段と、を含む、多相スイッチングレギュレータ。

【請求項37】 前記フィードバックループ回路が、前記単相スイッチングレギュレータの少なくとも1つに接続された増幅器を含む、請求項36に記載の多相スイッチングレギュレータ。

【請求項38】 前記単相スイッチングレギュレータのうちの前記第1のレギュレータを、低負荷電流閾値よりも低い、オフにする手段が、前記フィードバックループ回路および前記第1の単相スイッチングレギュレータに接続された第1のコンパレータをさらに含む、請求項36に記載の多相スイッチングレギュレータ。

【請求項39】 前記低負荷電流閾値よりも低い前記単相スイッチングレギュレータの第2のレギュレータの出力電流閾値を上昇させる手段をさらに含む、請求項36に記載の多相スイッチングレギュレータ。

【請求項40】 前記低負荷電流閾値よりも低い前記単相スイッチングレギュレータの前記第2のレギュレータの出力電流閾値を上昇させる手段は、前記出力電流閾値を決定する抵抗器を短絡させる手段をさらに含む、請求項39に記載の多相スイッチングレギュレータ。

【請求項41】 前記低負荷電流閾値よりも低い前記第2の単相スイッチングレギュレータの前記出力電流閾値を上昇させる手段は、前記負荷電流が前記低負荷電流閾値よりも低く下降した後に、抵抗分割器における抵抗を介して、電流を指向する手段をさらに含む、請求項39に記載の多相スイッチングレギュレータ。

【請求項42】 前記低負荷電流閾値よりも低い前記第2の単相スイッチングレギュレータの前記出力電流閾値を上昇させる手段は、前記負荷電流が前記低負荷電流閾値よりも低く下降した後に、第1の抵抗器を第2の抵抗器に並列に接続する手段をさらに含む、請求項39に記載の多相スイッチングレギュレータ。

【請求項43】 前記第1の低パワーモードにおいて前記第2の単相スイッチングレギュレータの前記出力電流閾値を上昇させる手段は、前記負荷電流が前記低負荷電流閾値よりも低く下降した後に、電流ミラー電流に接続された抵抗器を短絡させる手段をさらに含む、請求項39に記載の多相スイッチングレギュレータ。

【請求項44】 第2の低負荷電流閾値において、第2の単相スイッチングレギュレータをオフにする手段をさらに含む、請求項36に記載の多相スイッチングレギュレータ。

【請求項45】 前記第2の低負荷電流閾値よりも低い、前記単相スイッチングレギュレータのうちの第3のレギュレータの出力電流閾値を上昇させる手段をさらに

含む、請求項44に記載の多相スイッチングレギュレータ。

【請求項46】 前記複数の単相スイッチングレギュレータが、同期型スイッチングレギュレータである、請求項36に記載の多相スイッチングレギュレータ。

【請求項47】 前記複数の単相スイッチングレギュレータが、3つの単相スイッチングレギュレータを含む、請求項36に記載の多相スイッチングレギュレータ。

【請求項48】 前記複数の単相スイッチングレギュレータが、4つの単相スイッチングレギュレータを含む、請求項36に記載の多相スイッチングレギュレータ。

【請求項49】 軽負荷電流での、多相スイッチングレギュレータの効率を向上する方法であって、前記方法は、

複数の単相スイッチングレギュレータを用いて出力キャパシタにおける出力電圧を調整するステップと、軽負荷電流閾値よりも低く、前記単相スイッチングレギュレータの少なくとも1つをディスエーブルするステップと、を含む方法。

【請求項50】 前記軽負荷電流閾値よりも低くディスエーブルされた前記単相スイッチングレギュレータは、より少ない零入力電流を引き出す、請求項49に記載の方法。

【請求項51】 前記複数の単相スイッチングレギュレータが、同期型スイッチングレギュレータである、請求項49に記載の方法。

【請求項52】 前記複数の単相スイッチングレギュレータが、3つの単相スイッチングレギュレータを含む、請求項49に記載の方法。

【請求項53】 前記軽負荷電流閾値よりも低く、前記単相スイッチングレギュレータの少なくとも1つをディスエーブルするステップは、前記軽負荷電流閾値において前記単相スイッチングレギュレータのうちの2つをディスエーブルするステップをさらに含む請求項52に記載の方法。

【請求項54】 前記複数の単相スイッチングレギュレータが、4つの単相スイッチングレギュレータを含む、請求項49に記載の方法。

【請求項55】 前記軽負荷電流閾値よりも低く、前記単相スイッチングレギュレータの少なくとも1つをディスエーブルするステップは、前記軽負荷電流閾値において前記単相スイッチングレギュレータのうちの3つをディスエーブルするステップをさらに含む請求項54に記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、多相スイッチングレギュレータに関する。より詳しくは、本発明はステージシェディングを有する多相スイッチングレギュレータに関する。

【0002】

【従来の技術】切り換え調整器は、出力電流を入力電圧から所定の出力電圧で負荷に供給する電源回路である。切り換え調整器は、負荷電流の中間のレンジに渡って高度に効率的であるよう設計され得る。マイクロプロセッサは、非常に高いピーク電流から相対的に低い休止電流までの、幅広いレンジの電流要求を有する。マイクロプロセッサは、切り換え調整器から相対的に高い最大出力電流をますます必要とし、かつ幅広い出力電流ダイナミックレンジに渡って動作し続ける。出力電流のレンジ要求が拡大するので、出力電流の幅広いレンジに渡って効率的な切り換え調整器を設計することはますます困難になる。

【0003】既知の多相スイッチングレギュレータは、高出力電流を供給するために、マイクロプロセッサのような負荷と並列に結合されている複数の切り換え調整器を含む。多相スイッチングレギュレータは、高出力電流を供給するためのエネルギー効率的DC/DCコンバータである。それぞれの切り換え調整器ステージにおける対応する切り換えトランジスタは、入力電流が1度に1つの調整器ステージにのみ流れ込むように切り換えられ得る。この技術は、出力リップル電流、入力リップル電流および出力リップル電圧の振幅を低減する。

【0004】しかしながら、既知の多相スイッチングレギュレータは、低出力電流では低効率を有する。低効率の原因は、切り換えトランジスタをONおよびOFFに換えるために必要とされる電力が、低出力電流で調整器の総電力出力と比例してより大きくなる、という事実である。

【0005】米国特許第5,481,178号に記載の1つの既知の単一位相切り換え調整器回路は、出力キャパシタが出力電圧を維持することが可能なとき、切り換えトランジスタを動作させないことによって、低負荷電流で切り換え調整器回路における効率を高めるためのスリープモードと呼ばれる技術を開示する。

【0006】

【発明が解決しようとする課題】したがって、軽負荷電流を含む、負荷電流の幅広いレンジに渡って高効率を提供する多相スイッチングレギュレータを提供することが所望され得る。

【0007】さらに、小振幅出力リップル電流および出力リップル電圧を有する多相スイッチングレギュレータを提供することが所望され得る。

【0008】さらに、小振幅入力リップル電流を有する多相スイッチングレギュレータを提供することが所望され得る。

【0009】

【課題を解決するための手段】本発明の目的は、軽負荷電流を含む、幅広いレンジの負荷電流に渡って高効率を提供する多相スイッチングレギュレータを提供すること

である。

【0010】本発明のさらなる目的は、小振幅出力リップル電流および出力リップル電圧を有する多相スイッチングレギュレータを提供することである。

【0011】本発明のさらなる目的は、小振幅入力リップル電流を有する多相スイッチングレギュレータを提供することである。

【0012】本発明の多相スイッチングレギュレータは、出力に接続された複数の単相スイッチングレギュレータと、負荷電流が上記第1のコンパレータの閾値よりも低く下降した後に、上記単相スイッチングレギュレータのうちの第1のレギュレータが、上記出力に接続された負荷に電流を出力するのを防止するフィードバックループ回路に接続された第1のコンパレータを含み、そのことにより上記目的が達成される。

【0013】上記フィードバックループが、抵抗分割器と少なくとも1つの単相スイッチングレギュレータに接続された第1の増幅器をさらに含んでもよい。

【0014】上記複数の単相スイッチングレギュレータが、同期型スイッチングレギュレータであってもよい。

【0015】上記複数の単相スイッチングレギュレータが、3つの単相スイッチングレギュレータを含んでもよい。

【0016】上記第1のコンパレータは、上記負荷電流が上記第1のコンパレータの上記閾値よりも低く下降した場合、上記単相スイッチングレギュレータのうちの2つのレギュレータが、上記負荷に電流を出力するのを防止してもよい。

【0017】上記複数の単相スイッチングレギュレータは、4つの単相スイッチングレギュレータを含んでもよい。

【0018】上記第1のコンパレータは、上記負荷電流が上記第1のコンパレータの上記閾値よりも低く下降した場合、上記単相スイッチングレギュレータのうちの3つのレギュレータが、上記負荷に電流を出力するのを防止してもよい。

【0019】上記第1のコンパレータは、上記負荷電流が上記第1のコンパレータの上記閾値よりも低く下降した場合、上記単相スイッチングレギュレータのうちの2つのレギュレータが、上記負荷に電流を出力するのを防止してもよい。

【0020】上記単相スイッチングレギュレータのうちの少なくとも第2のレギュレータは、上記負荷電流が上記第1のコンパレータの上記閾値よりも低く下降した後に、上記上記第2の単相スイッチングレギュレータの出力電流を上昇させる、上記第1のコンパレータに接続された第1の利得制御回路を含んでもよい。

【0021】上記第1の利得制御回路は、上記第2の単相スイッチングレギュレータの電流閾値を上昇させる上記フィードバックループに接続された増幅器を含んでも

よい。

【0022】上記第1の利得制御回路が、抵抗器と、上記抵抗器および上記第1のコンパレータに接続されたトランジスタであって、上記負荷電流が上記第1のコンパレータの上記閾値よりも低く下降した場合に、上記トランジスタが上記抵抗器を短絡させる、トランジスタとを含んでもよい。

【0023】第2のコンパレータであって、上記負荷電流が、上記第1のコンパレータの上記閾値よりも低い上記第2のコンパレータの閾値よりも低く下降した場合、上記第2の単相スイッチングレギュレータが、上記負荷に電流を出力するのを防止するフィードバックループ回路に接続された第2のコンパレータをさらに含んでもよい。

【0024】上記単相スイッチングレギュレータのうち少なくとも第3のレギュレータは、上記負荷電流が上記第2の上記コンパレータの上記閾値よりも低く下降した後に、上記第3の単相スイッチングレギュレータの出力電流を上昇させる、上記第2のコンパレータに接続された第2の利得制御回路を含んでもよい。

【0025】上記第2の利得制御回路が、抵抗器と、上記抵抗器および上記第2のコンパレータに接続されたトランジスタであって、上記負荷電流が上記第2のコンパレータの上記閾値よりも低く下降した場合に、上記トランジスタが上記抵抗器を短絡させる、トランジスタと、を含んでもよい。

【0026】上記第1の利得制御回路が、抵抗分割器と、上記抵抗分割器および上記第1のコンパレータに接続されたトランジスタであって、上記負荷電流が上記第1のコンパレータの上記閾値よりも高く上昇した場合に、上記トランジスタが上記抵抗分割器における抵抗を短絡させる、トランジスタと、を含んでもよい。

【0027】上記第1の利得制御回路が、並列に接続された第1および第2の抵抗器であって、上記負荷電流が、上記第1のコンパレータの上記閾値より低く下降した後に、電流が上記抵抗器の両方を流れる、第1および第2の抵抗器をさらに含んでもよい。

【0028】上記第1の利得制御回路が、上記フィードバックループ回路に接続された抵抗器と、上記抵抗器および上記第2の単相スイッチングレギュレータに接続された電流ミラー回路であって、上記電流ミラーが上記第2の単相スイッチングレギュレータの上記出力電流を調節する、電流ミラー回路と、を含んでもよい。

【0029】本発明の方法は、多相スイッチングレギュレータから、出力に接続された負荷に電流を供給する方法であって、上記方法は、上記出力に接続された複数の単相スイッチングレギュレータおよびフィードバックループ回路を用いて、上記出力における電圧を調整するステップと、上記単相スイッチングレギュレータのうち少なくとも1つが、第1の低パワーモードにおいて、低

負荷電流で上記出力に電流を供給するのを防止するステップと、を含み、そのことにより上記目的が達成される。

【0030】上記複数の単相スイッチングレギュレータおよび上記フィードバックループ回路を用いて、上記出力における上記電圧を調整するステップが、上記単相スイッチングレギュレータのうち少なくとも1つに接続された増幅器を用いて上記出力電圧をモニタリングするステップをさらに含んでもよい。

【0031】上記複数の単相スイッチングレギュレータが、同期型スイッチングレギュレータであってもよい。

【0032】上記複数の単相スイッチングレギュレータが、3つの単相スイッチングレギュレータを含んでもよい。

【0033】上記単相スイッチングレギュレータのうち少なくとも1つが、上記第1の低パワーモードにおいて、低負荷電流で上記出力に電流を供給するのを防止するステップが、上記単相スイッチングレギュレータのうちの2つのレギュレータが、低負荷電流で上記負荷に電流を出力するのを防止するステップをさらに含んでもよい。

【0034】上記複数の単相スイッチングレギュレータは、4つの単相スイッチングレギュレータを含んでもよい。

【0035】上記単相スイッチングレギュレータのうち少なくとも1つが、上記第1の低パワーモードにおいて、低負荷電流で上記出力に電流を供給するのを防止するステップが、上記単相スイッチングレギュレータのうちの3つのレギュレータが、低負荷電流で上記負荷に電流を出力するのを防止するステップをさらに含んでもよい。

【0036】上記単相スイッチングレギュレータのうち少なくとも1つが、上記第1の低パワーモードにおいて、低負荷電流で上記出力に電流を供給するのを防止するステップが、上記単相スイッチングレギュレータのうちの2つのレギュレータが、低負荷電流で上記負荷に電流を出力するのを防止するステップをさらに含んでもよい。

【0037】上記負荷電流が、第1の利得制御回路を用いて閾値よりも低く下降した後に、上記第1の低パワーモードにおいて、残りの単相スイッチングレギュレータのうち少なくとも1つによって上記出力に供給された電流が上昇されてもよい。

【0038】上記第1の利得制御回路を用いるステップが、上記フィードバックループ回路の出力信号をモニタリングするステップと、増幅器を用いて残りの単相スイッチングレギュレータのうち少なくとも1つのインダクタ電流閾値を調整するステップとをさらに含んでもよい。

【0039】上記第1の利得制御回路を用いるステップが、上記負荷電流が上記負荷電流閾値よりも低く下降し

た場合、抵抗器に接続されたトランジスタをオンすることによって上記抵抗器を短絡させるステップをさらに含んでもよい。

【0040】上記単相スイッチングレギュレータのうちの少なくとも1つが、上記第1の低パワーモードにおいて、低負荷電流で上記出力に電流を供給するのを防止するステップは、上記負荷電流が、上記フィードバックループ回路に接続された第1のコンパレータの閾値よりも低く下降した場合、少なくとも1つの単相スイッチングレギュレータが上記出力に電流を供給するのを防止するステップをさらに含んでもよい。

【0041】第2の低パワーモードにおいて、上記負荷電流が、上記第1のコンパレータの上記閾値よりも低い第2のコンパレータの閾値よりも低く下降した場合、第2の単相スイッチングレギュレータが、電流を上記負荷に出力するのを防止するステップをさらに含んでもよい。

【0042】上記負荷電流が上記第2のコンパレータの上記閾値よりも低く下降した後に、上記第2の低パワーモードにおいて、上記単相スイッチングレギュレータのうち第3のレギュレータによって上記出力に供給される電流が、第2の利得制御回路を用いて上昇されてもよい。

【0043】上記負荷電流が上記第2のコンパレータの上記閾値よりも低く下降した場合、上記抵抗器に接続されたトランジスタをオンすることによって、上記抵抗器が短絡されてもよい。

【0044】上記負荷電流が上記第1のコンパレータの上記閾値よりも高い場合にのみ、抵抗分割器における抵抗が短絡されてもよい。

【0045】第1の抵抗器が、第2の抵抗器に並列に接続され、上記第1の低パワーモードにおいて、両方の抵抗器を電流が流れてもよい。

【0046】上記複数の単相スイッチングレギュレータが、2つの単相スイッチングレギュレータを含んでもよい。

【0047】本発明の多相スイッチングレギュレータは、複数の単相スイッチングレギュレータおよびフィードバックループ回路を用いて出力における電圧を調整する手段と、上記単相スイッチングレギュレータのうちの第1のレギュレータを、低負荷電流閾値よりも低い、オフにする手段と、を含み、そのことにより上記目的が達成される。

【0048】上記フィードバックループ回路が、上記単相スイッチングレギュレータの少なくとも1つに接続された増幅器を含んでもよい。

【0049】上記単相スイッチングレギュレータのうちの上記第1のレギュレータを、低負荷電流閾値よりも低い、オフにする手段が、上記フィードバックループ回路および上記第1の単相スイッチングレギュレータに接続

された第1のコンパレータをさらに含んでもよい。

【0050】上記低負荷電流閾値よりも低い上記単相スイッチングレギュレータの第2のレギュレータの出力電流閾値を上昇させる手段をさらに含んでもよい。

【0051】上記低負荷電流閾値よりも低い上記単相スイッチングレギュレータの上記第2のレギュレータの出力電流閾値を上昇させる手段は、上記出力電流閾値を決定する抵抗器を短絡させる手段をさらに含んでもよい。

【0052】上記低負荷電流閾値よりも低い上記第2の単相スイッチングレギュレータの上記出力電流閾値を上昇させる手段は、上記負荷電流が上記低負荷電流閾値よりも低く下降した後に、抵抗分割器における抵抗を介して、電流を指向する手段をさらに含んでもよい。

【0053】上記低負荷電流閾値よりも低い上記第2の単相スイッチングレギュレータの上記出力電流閾値を上昇させる手段は、上記負荷電流が上記低負荷電流閾値よりも低く下降した後に、第1の抵抗器を第2の抵抗器に並列に接続する手段をさらに含んでもよい。

【0054】上記第1の低パワーモードにおいて上記第2の単相スイッチングレギュレータの上記出力電流閾値を上昇させる手段は、上記負荷電流が上記低負荷電流閾値よりも低く下降した後に、電流ミラー電流に接続された抵抗器を短絡させる手段をさらに含んでもよい。

【0055】第2の低負荷電流閾値において、第2の単相スイッチングレギュレータをオフにする手段をさらに含んでもよい。

【0056】上記第2の低負荷電流閾値よりも低い、上記単相スイッチングレギュレータのうちの第3のレギュレータの出力電流閾値を上昇させる手段をさらに含んでもよい。

【0057】上記複数の単相スイッチングレギュレータが、同期型スイッチングレギュレータであってもよい。

【0058】上記複数の単相スイッチングレギュレータが、3つの単相スイッチングレギュレータを含んでもよい。

【0059】上記複数の単相スイッチングレギュレータが、4つの単相スイッチングレギュレータを含んでもよい。

【0060】本発明の方法は、軽負荷電流での、多相スイッチングレギュレータの効率を向上する方法であって、上記方法は、複数の単相スイッチングレギュレータを用いて出力キャパシタにおける出力電圧を調整するステップと、軽負荷電流閾値よりも低く、上記単相スイッチングレギュレータの少なくとも1つをディスエーブルするステップと、を含み、そのことにより上記目的が達成される。

【0061】上記軽負荷電流閾値よりも低くディスエーブルされた上記単相スイッチングレギュレータは、より少ない零入力電流を引き出し（draw）てもよい。

【0062】上記複数の単相スイッチングレギュレータ

が、同期型スイッチングレギュレータであってもよい。

【0063】上記複数の単相スイッチングレギュレータが、3つの単相スイッチングレギュレータを含んでもよい。

【0064】上記軽負荷電流閾値よりも低く、上記単相スイッチングレギュレータの少なくとも1つをディスエーブルするステップは、上記軽負荷電流閾値において上記単相スイッチングレギュレータのうちの2つをディスエーブルするステップをさらに含んでもよい。

【0065】上記複数の単相スイッチングレギュレータが、4つの単相スイッチングレギュレータを含んでもよい。

【0066】上記軽負荷電流閾値よりも低く、上記単相スイッチングレギュレータの少なくとも1つをディスエーブルするステップは、上記軽負荷電流閾値において上記単相スイッチングレギュレータのうちの3つをディスエーブルするステップをさらに含んでもよい。

【0067】本発明は、軽負荷電流で高効率を提供するステージシェディングを有する多相スイッチングレギュレータを提供する。本発明は、さらに、ステージシェディングを用いる多相スイッチングレギュレータ回路において高効率を提供するための方法を含む。本発明の多相スイッチングレギュレータは、出力キャパシタと並列に結合される複数の単一位相切り換え調整器回路を含む。高負荷電流および中負荷電流で、それぞれの単一位相切り換え調整器回路は、出力電流を負荷に供給する。負荷電流が第1の閾値よりも下に降下すると、その間、効率を高めるために、第1の低電力モードの時に、1つ以上の単一位相切り換え調整器回路がOFFであり、ステージシェディングが実行される。少なくとも1つの単一位相切り換え調整器回路が、第1の低電力モードにおいて出力電流を供給するためにONで維持される。ONのままの1つ以上の単一位相切り換え調整器は、負荷電流を供給するために、その総出力電流を増加させ得る。

【0068】本発明の多相スイッチングレギュレータは、任意の数であるN個の低電力モードを有し得る。例えば、1つ以上のさらなる単一位相切り換え調整器は、第1の低電力モードが開始した後、第2の低電力モードにおいてはOFFであり得る。第2の低電力モードは、負荷電流が、第1の閾値よりも低い第2の閾値の下に降下した後開始する。第2の低電力モードにおいてONのままである切り換え調整器の出力電流は、負荷電流を供給するためにその総出力電流を増加させる。本発明の多相スイッチングレギュレータは、軽負荷電流で、低振幅出力リップル電流、入力リップル電流および出力リップル電圧を提供する。

【0069】上述した本発明の目的および特徴は、以下の図と関連付けて考察された以下の詳細な説明から、より明確に理解され得る。そこでは、全体に渡って同じ参照符号が同じ構造要素を示す。

【0070】

【発明の実施の形態】本発明の多相スイッチングレギュレータは、複数の単相スイッチングレギュレータを並列に結合することにより、負荷に高出力電流を提供する。単相スイッチングレギュレータのスイッチングは、低振幅の出力リップル電流および出力リップル電圧を提供するように同期化され得る。本発明の多相スイッチングレギュレータは、負荷電流が軽い場合、低電力モードの間1つ以上の単相スイッチングレギュレータをOFFにすることにより、高効率を提供する。Milpitas, CaliforniaのLinear Technology CorporationによってPOLY-PHASEという商標で販売される製品は、1つの型の多相スイッチングレギュレータを構成し得る。

【0071】本発明の第1の実施形態が図1に示され、ここで、多相スイッチングレギュレータ10は、並列に結合された3つの単相スイッチングレギュレータ回路11~13を含む。多相スイッチングレギュレータ10は、2つの動作モード（すなわち、高レベルから中レベルの負荷電流の場合のノーマルモードおよび低レベルの負荷電流の場合の低電力モード）において動作する。ノーマルモードにおいて、単相スイッチングレギュレータは、3つ全てONである。低電力モードにおいて、2つのスイッチングレギュレータはOFF、1つのスイッチングレギュレータはONの状態で、レギュレータ10の出力電流の100%が提供される。低電力モードは、負荷電流が軽い場合のスイッチングレギュレータ10の効率を改善する。

【0072】図1に示される多相スイッチングレギュレータ（複数位相スイッチングレギュレータ）10は、本発明の一実施形態である。多相スイッチングレギュレータ10は、3つの単相スイッチングレギュレータ（単一位相スイッチングレギュレータ）回路11~13、抵抗器16Aおよび16Bによって形成される抵抗器デバイダ、トランスコンダクタンス増幅器18、低負荷コンパレータ20、出力キャパシタ22、ならびに、抵抗器24、キャパシタ25および23を含む補償回路部を含む。スイッチングレギュレータ11、12および13は、入力電圧 V_{IN} と出力電圧 V_{OUT} との間に並列に結合される。

【0073】レギュレータ10は、抵抗器16Aおよび16Bならびにトランスコンダクタンス増幅器18を含むフィードバックループ回路部を有する。抵抗器16Aおよび16Bは、 V_{OUT} に結合された抵抗器デバイダを構成する。抵抗器デバイダ16A/16Bは、 V_{OUT} をモニタし、図1に示されるように、トランスコンダクタンス増幅器18の反転入力において V_{OUT} に比例する電圧フィードバック信号 V_{FB} を提供する。トランスコンダクタンス増幅器18は、その反転入力におけるフィードバック電圧 V_{FB} をモニタし、 V_{FB} をその非反転入力にお

ける基準電圧 V_{REF} と比較する。 V_{FB} は、 V_{REF} とほとんど等しい。トランスコンダクタンス増幅器18は、その出力において電流を提供する。トランスコンダクタンス増幅器18の出力における電圧は V_C であり、 V_C は V_{FB} に反比例する。 V_{FB} が減少すると、トランスコンダクタンス増幅器18の出力電流および V_C は増加する。 V_{FB} が増加すると、トランスコンダクタンス増幅器18の出力電流および V_C は減少する。キャパシタ23および25ならびに抵抗器24は、フィードバックループに周波数補償を提供する。トランスコンダクタンス増幅器18の出力は、スイッチングレギュレータ12および13の1COMP入力に結合される。

【0074】スイッチングレギュレータ11、12および13は、インダクタを含む電流モードのスイッチングレギュレータである。スイッチングレギュレータ11~13は好適には、同期スイッチングレギュレータであるが、非同期スイッチングレギュレータでもあり得る。図2に示される同期スイッチングレギュレータ50は、スイッチングレギュレータ11~13として使用され得るスイッチングレギュレータ回路の一例である。スイッチングレギュレータ50は、遷降型で電流モードのスイッチングレギュレータであり、ここで、入力電圧 V_{IN} は、出力電圧 V_{OUT} より大きい。スイッチングレギュレータ50は、nチャンネルスイッチングトランジスタMOSFET54および55、インダクタ56、センス抵抗器58、抵抗器62、コンパレータ60、パルス幅変調(PWM)回路部64、ドライバ回路部52、逆電流コンパレータ65、ならびに利得制御回路70を含む。典型的には、図1および図2の回路部は、いくつかの外部構成要素に接続された集積回路チップを構成する。例えば、キャパシタ22、抵抗器16Aおよび16B、MOSFET54および55、ならびにインダクタ56は、外部構成要素であり得、図1および図2の回路部の残りは、集積回路に含まれ得る。

【0075】スイッチングレギュレータ50は、調整電圧 V_{OUT} において出力ノードに結合された負荷に出力電流を供給する。同期スイッチングトランジスタ54および55は、ドライバ回路部52によって、ONおよびOFFに切り換えられる。スイッチングトランジスタ54および55は、互いに位相がずれて駆動され、出力キャパシタ22に結合された負荷に電流を供給する。別の回路部(図示せず)が、一つのスイッチングトランジスタがOFFになるタイミングと、他のスイッチングトランジスタがONになるタイミングとの間に、短時間の不感時間またはブランキングの間隔を提供するために、レギュレータ50に追加され得る。

【0076】PWM回路部64は、スイッチングトランジスタ54および55のデューティサイクルの間、一定の周波数制御を提供する。あるいは、可変周波数、一定オンタイム(constant on-time)また

は一定オフタイム(constant off-time)の技術を用いて、本発明の単相スイッチングレギュレータ段(例えば、スイッチングレギュレータ11~13)を動作させ、出力電圧を調整し得る。例えば、ワンショット回路が、スイッチングトランジスタのデューティサイクルを制御するためのタイマとして、当該分野で公知のように、PWM回路部64の代わりに使用され得る。

【0077】PWM回路部64は、OCS入力においてクロック信号(すなわち、 V_{CLK1} 、 V_{CLK2} または V_{CLK3})を受け取るために結合されている。PWM回路部64は、フリップフロップのようなラッチを含み得る。OSCにおけるクロック信号がHIGHになると、PWM回路部64は、ドライバ回路部52に信号を送り、ドライバ回路部52は、スイッチングトランジスタ54をONにし、スイッチングトランジスタ55をOFFにする。次に電流は、入力電圧 V_{IN} から、スイッチングトランジスタ54、インダクタ56およびセンス抵抗器58を通して、 V_{OUT} に流れる。インダクタ56を流れる電流はランプアップする。なぜならば、 V_{IN} が V_{OUT} より大きいからである。

【0078】インダクタ56を流れる電流は、センス抵抗器58を流れる電流と実質的に等しい。電流コンパレータ60は、センス抵抗器58にかかる電圧をモニタする。抵抗器62を流れる電流は、コンパレータ60のピークインダクタ電流の閾値を設定する。インダクタ電流が電流コンパレータ60の電流の閾値までランプアップすると、コンパレータ60の出力はHIGHになり、PWM回路部64は、ドライバ回路部52に信号を送る。このことにより、スイッチングトランジスタ54はOFFになり、スイッチングトランジスタ55はONになる。電流は次いで、接地から、スイッチングトランジスタ55、インダクタ56およびセンス抵抗器58を通して、 V_{OUT} に流れる。電流はここで、インダクタ56においてランプダウンする。スイッチングサイクルは、OSCにおけるクロック信号が再びHIGHになると、繰り返される。いずれのスイッチングレギュレータ11~13(および本発明の単相スイッチングレギュレータ)も、ピークインダクタ電流の代わりに平均インダクタ電流または最小瞬間インダクタ電流をモニタするコンパレータまたは増幅器を含み得る。

【0079】負荷電流が低い場合、インダクタ56を介した瞬時電流は、スイッチングトランジスタ55がONである間、0次いで負になるまで減少し得る。負のインダクタ電流は、出力コンデンサ22からアースまで電力を引き、これにより効率が減少する。コンパレータ65は、レギュレータの効率を向上するために追加されている。インダクタ電流が0に減少する場合、0電流コンパレータ65は信号をドライバ52に送り、これによりドライバ52がスイッチングトランジスタ55をOFFに

する。結果として、両方のスイッチングトランジスタが OFF となり、出力コンデンサ 22 からスイッチングトランジスタ 55 を介してアースにまで電力が流れることが回避される。

【0080】図 2 の利得制御回路 70 は、コンパレータ 60 の非反転入力に結合される。利得制御回路 70 は、アンプ 72、 n チャネル MOSFET 74 および 75、ならびにレジスタ 76 および 78 を含む。MOSFET 75 のゲートは、レギュレータ 50 の GC 入力に結合される。GC 入力は、スイッチングレギュレータ 11 内の低負荷コンパレータ 20 の出力電圧 V_{DIS} を受け取るために結合される。GC は、スイッチングレギュレータ 12 および 13 内のアースに結合される。 V_C は、アンプ 72 の非反転入力に結合される。MOSFET 74 のゲートは、アンプ 72 の出力に結合され、MOSFET 74 のソースは、アンプ 72 の反転入力に結合される。レジスタ 76 および 78 は、MOSFET 74 のソースとアースとの間で直列に結合される。MOSFET 75 が ON である場合、MOSFET 75 はレジスタ 78 周辺の電流パスを短絡させる。これは MOSFET 75 の ON 抵抗がレジスタ 78 の ON 抵抗よりもずっと低いからである。

【0081】コンパレータ 60 の電流閾値は、以下のよう利得制御ブロック 70 によって決定される。コンパレータ 60 ならびにレジスタ 58 および 62 による閉ループにキルヒホッフの電圧則を適用する場合、レジスタ 62 を介した電圧降下が感知レジスタ 58 を介した電圧降下と等しい場合に、コンパレータ 60 の反転および非反転入力における電圧が等しいことが見られ得る。トランジスタ 54 が ON であると仮定すると、トランジスタ 55 は OFF であり、インダクタ電流は増加し、そしてレジスタ 58 を介した電圧降下がレジスタ 62 を介した電圧降下を超えるまでインダクタ電流が増加する場合、コンパレータ 60 の出力が HIGH になる。コンパレータ 60 の出力が HIGH になる場合、PWM 回路部 64 により、ドライバ回路部 52 はトランジスタ 54 を OFF かつトランジスタ 55 を ON にし、これにより、インダクタ電流が減少し始める。

【0082】レジスタ 62 を介した電圧降下は、コンパレータ 60 の電流閾値を決定する。コンパレータ 60 の電流閾値は、インダクタ 56 内のピークインダクタ電流を決定する。コンパレータ 60 の電流閾値は、変化して、レギュレータ 50 の出力電流と同様、ピークおよび平均インダクタ電流を調整し得る。レジスタ 62 を介した電圧降下は、レジスタ 62 を流れる電流を制御する利得制御ブロック 70 によって設定される。利得制御ブロック 70 は、レギュレータ 50 のインダクタ電流および出力電流を変化させるために、レジスタ 62 を流れる電流を変化させ得る。

【0083】利得制御ブロック 70 は、以下のように、

レジスタ 62 を流れる電流およびレジスタ 62 を介した電圧降下を変化させる。トランジスタ 75 が OFF である場合、(コンパレータ 60 および 65 の入力が高インピーダンスノードであると仮定すると) レジスタ 62 を流れる電流は、 n チャネルトランジスタ 74 ならびにレジスタ 76 および 78 を流れる電流と等しい。図 1 を参照すると、 V_{SHED} は、コンパレータ 20 の非反転入力における固定された電圧閾値である。 V_C は、ハイの時に V_{SHED} を超え、負荷電流を調節する。 V_{DIS} は、コンパレータ 20 の出力電圧である。したがって、 V_{DIS} は、ハイの時に LOW であり、負荷電流を調節し、 n チャネルトランジスタ 75 はレギュレータ 11 ~ 13 のすべてにおいて OFF である。アンプ 72 の出力は、トランジスタ 74 のゲートに結合される。アンプ 72 は、出力電圧を調整することによって、トランジスタ 74 を流れる電流を制御する。 V_C は、アンプ 72 の非反転入力に結合される。アンプ 72 の出力電圧は、 V_C に比例して変化する。それゆえ、トランジスタ 74 ならびにレジスタ 62、76 および 78 を流れる電流は、 V_C に比例して変化する。

【0084】利得ブロック 70 は、レジスタ 62 を介した電圧降下を調整し、スイッチングレギュレータ 50 の出力電流を調節し、これにより、スイッチングレギュレータ 50 は負荷電流の要件を満たす。負荷電流が降下する場合、 V_{FB} が増加し、 V_C が減少し、これにより、レジスタ 62 を流れる電流が減少する。これにより、コンパレータ 62 のピークインダクタ電流閾値が減少する。電流コンパレータ 60 の出力は各サイクル内ですぐに HIGH になり、より少ないインダクタ電流が負荷に送られる。

【0085】負荷電流が増加する場合、 V_{FB} が減少し、 V_C が増加し、これにより、レジスタ 62 を流れる電流が増加する。これにより、コンパレータ 62 のピークインダクタ電流閾値が増加する。電流コンパレータ 60 の出力が各サイクル内で HIGH になる前に、インダクタ電流がより高いレベルまで増加し、これにより、より多くのインダクタ電流が負荷に送られる。

【0086】 V_C は、負荷電流に比例して変化する。 V_C が増加する場合、トランジスタ 54 の ON 時間が一時的に増加し、トランジスタ 55 の ON 時間が一時的に減少し、より多くの出力電流を供給する。 V_C が減少する場合、トランジスタ 54 の ON 時間が一時的に減少し、トランジスタ 55 の ON 時間が一時的に増加し、より少ない出力電流を供給する。電流コンパレータ 60 は、インダクタ 56 を流れるピークの瞬時インダクタ電流を変化させ、これにより、単相スイッチングレギュレータの平均インダクタ電流が負荷電流に合致するまで増加する。負荷電流が変化する場合、スイッチングトランジスタ 54 および 55 の ON 時間に小さな変化があっても、スイッチングトランジスタ 54 および 55 のデューティファ

クタ D_F はほぼ一定のままである。

【0087】スイッチングレギュレータ11~13のそれぞれは、ハイにある多相スイッチングレギュレータ10の出力電流全体の3分の1を提供して、負荷電流を調節する。スイッチングレギュレータ回路11~13内のスイッチングトランジスタのスイッチングは、各クロック信号 V_{CLK1} 、 V_{CLK2} および V_{CLK3} によって制御される。クロック信号 V_{CLK1} 、 V_{CLK2} および V_{CLK3} の例示的な波形を図3に示す。 V_{CLK1} 、 V_{CLK2} および V_{CLK3} は、同じ周期を有する周期的デジタルクロック信号である。 V_{CLK1} は、各クロックサイクルの開始時（例えば、時間 t_1 ）においてHIGHになる。 V_{CLK2} は、各クロックサイクルの3分の1（例えば、時間 t_2 ）においてHIGHになる。 V_{CLK3} は、各クロックサイクルの3分の2（例えば、時間 t_3 ）においてHIGHになる。

【0088】図3に示すように、クロック信号 V_{CLK1} 、 V_{CLK2} および V_{CLK3} のパルスを等間隔にあげることによって、レギュレータ11~13のそれぞれにおけるインダクタ電流が、等しい時間間隔で増加し始める。例えば、以下の条件は、図2に示す例のレギュレータを用いる場合に当てはまる。スイッチングレギュレータ11において、 V_{CLK1} によって、トランジスタ54は時間 t_1 においてONになり、トランジスタ55はOFFになる。スイッチングレギュレータ12において、 V_{CLK2} によって、トランジスタ54は時間 t_2 においてONになり、トランジスタ55はOFFになる。スイッチングレギュレータ13において、 V_{CLK3} によって、トランジスタ54は時間 t_3 においてONになりトランジスタ55はOFFになる。

【0089】図4は、多相スイッチングレギュレータ10の例示的な電流波形を示す。波形 I_{L1} 、 I_{L2} および I_{L3} は、スイッチングレギュレータ11~13それぞれの例示的なインダクタ電流波形である。図4の例において、スイッチングレギュレータ11~13内におけるスイッチングトランジスタ54は、各スイッチングサイクル内の非重なり時間の間にONであり得る。

【0090】 I_{OUT1} は、多相スイッチングレギュレータ10の出力電流全体の例である。図4において、 I_{L1} 、 I_{L2} および I_{L3} の電流の振幅は折り畳まれて、 I_{OUT1} 波形になることが見られ得る。 I_{OUT1} のような出力電流波形を生成するために、スイッチングレギュレータ11~13内のスイッチングトランジスタのスイッチングの同期を取ることによって、多相スイッチングレギュレータ10の出力リップル電流（output ripple current） I_{OUT1} の振幅は、1つのスイッチングレギュレータが負荷電流のすべてを供給した場合より実質的に少ない。したがって、出力コンデンサ22は、1つのスイッチングレギュレータが用いられて、すべての負荷電流要件を満たす場合より、少ないキャパシタンスを必要とするだけですむ。

【0091】負荷電流が降下する場合、 V_C もまた減少する。負荷電流が十分に低くなるまで降下する場合、 V_C は V_{SHED} より下になるまで降下し、コンパレータ20によって出力電圧 V_{DIS} はHIGHになる。 V_{DIS} は、図1に示すようにスイッチングレギュレータ12および13のDISABLE入力に結合される。 V_{DIS} がHIGHである場合、スイッチングレギュレータ12および13内のすべてのスイッチングトランジスタ（例えば、トランジスタ54/55）はOFFのままであり、これにより、これらのスイッチングレギュレータ内のインダクタ電流は0になるまで減少し、0のままでとどまる。

【0092】例えば、スイッチングレギュレータ50内のDISABLE入力は、図2に示すように、ドライバ回路部52に結合される。 V_{DIS} がHIGHである場合、ドライバ回路部52によって、スイッチングトランジスタ54および55はOFFのままにある。本発明は、 V_{DIS} がHIGHになった直後に、レギュレータ12および13のスイッチングトランジスタがOFFにされない実施形態を含む。

【0093】スイッチングトランジスタのうちの1以上が、低電力モードの継続時間の間、 V_{DIS} によりオフに保たれる前に、オンとオフの切換えを継続する短い遅延が存在し得る。レギュレータ12~13内の同期スイッチングトランジスタ54および55は、同時にオフにされるか、またはディセーブルされる必要がない。ステージシェディング（stage shedding）とは、スイッチングレギュレータステージ12~13のスイッチングトランジスタがオフにされることにより、スイッチングレギュレータステージ12~13がオフにされることを意味する。

【0094】スイッチングレギュレータ11のディセーブル入力は接地されるため、 V_{DIS} がHIGHになった場合も、スイッチングレギュレータ11はオンのままである。よって、 V_{DIS} がHIGHになると、多相スイッチングレギュレータ10が低電力モードに入り、その間、スイッチングレギュレータステージ12~13はオフであり、スイッチングレギュレータ11はオンである。低電力モード中、スイッチングレギュレータ11は、単独で、レギュレータ10の出力電流を供給する。低電力モードによりレギュレータ10の効率が改善されるが、これは、レギュレータ12~13内のスイッチングトランジスタをオンおよびオフに駆動するために電力が必要とされないためである。スイッチングレギュレータ12~13の零入力電流が低減されるが、これは、そのスイッチングトランジスタがオフであるためである。レギュレータ12~13により引かれる零入力電流は、オフにするか、またはこれらのレギュレータ内のPWM回路64等の回路により引かれる電流を低減することにより、さらに低減され得る。低電力モードのレギュレータ10の出力電流の例示的な波形を図4に I_{OUT2} として示す。ス

スイッチングレギュレータ11内のインダクタ電流は、図4に示すように、インダクタ電流内のパルス間で不連続（すなわち、0のまま）であり得る。

【0095】コンパレータ20の出力もまた、スイッチングレギュレータ11のGC入力を介して、スイッチングレギュレータ11の利得制御回路70に結合される。 V_{DIS} がハイになると、トランジスタ75がオンになり、レジスタ78をショートさせるため、レジスタ76を介する電流の実質的に全てが、トランジスタ75を流れる。トランジスタ75がオンになると、レジスタ62および76を介する電流が増加するため、コンパレータ60の電流閾値が増加する。レジスタ78をショートさせることにより、3つのスイッチングレギュレータ11～13の全てがインダクタ電流を出力していた場合、 V_{DIS} がハイになる直前に、スイッチングレギュレータ50（すなわち、レギュレータ11）の正味RMS（平方二乗平均）出力電流が、多相スイッチングレギュレータ10の全正味RMS出力電流以上のレベルまで、少なくとも3倍増加する。

【0096】 V_{DIS} がハイになる場合のコンパレータ60の電流閾値の増加は、以下のように決定され得る。まず、増幅器72の反転入力側のDC電圧が V_C と等しいことが仮定され得るが、これは、増幅器72が高利得を有するためである。オームの法則を用いて、トランジスタ75がオフである場合のレジスタ76および78をわたる電圧降下についての式が、トランジスタ75がオンである場合のレジスタ76をわたる電圧降下についての式と等しく設定され得、以下の式：

【0097】

【数1】

$$\frac{I_2}{I_1} = \frac{R_{76} + R_{78}}{R_{76}} \quad (1)$$

を導出する。ここで、 R_{76} はレジスタ76の抵抗であり、 R_{78} はレジスタ78の抵抗であり、 I_1 は、トランジスタ75がオフである場合にレジスタ76および78を介する電流であり、 I_2 は、トランジスタ75がオンである場合にレジスタ76およびトランジスタ75を介する電流である。従って、レジスタ62をわたる電圧降下は、以下の式：

【0098】

【数2】

$$V_{R62B} = V_{R62A} \left(\frac{R_{76} + R_{78}}{R_{76}} \right) \quad (2)$$

に示すように、トランジスタ75がオンになると同じ比率で増加する。ここで、 V_{R62A} は、 V_{DIS} がローである場合のレジスタ62をわたる電圧降下であり、 V_{R62B} は、 V_{DIS} がハイである場合のレジスタ62をわたる電圧降下である。

【0099】好ましくは、トランジスタ75がオンになるときに、レジスタ62をわたる電圧降下は、 V_{DIS} がハイになった後のスイッチングレギュレータ11の正味RMS出力電流が、 V_{DIS} がハイになる直前のスイッチングレギュレータ11～13を合わせた正味RMS出力電流よりも大きくなるように十分に増加する。低い負荷電流でスイッチングレギュレータ11単独のより大きなRMS出力電流を供給することにより、ヒステリシスがスイッチングレギュレータ10の制御ループに導入される。このヒステリシスは、 V_{DIS} がハイである場合、低い負荷電流で負荷により必要とされるよりも大きな出力電流をスイッチングレギュレータ11に供給させる。スイッチングレギュレータ11からの増加させられた出力電流は、 V_C を V_{SHED} よりもさらに下に下げるため、より長い時間の間、スイッチングレギュレータ12～13をオフにしたままで、多相スイッチングレギュレータ10を低電力モードで維持する。

【0100】 V_{OUT} を維持するために必要とされるよりも高い抵抗比を設定することにより加えられるヒステリシスは、2つの異なる負荷電流閾値レベルを設定するものとして考えられ得る。レギュレータ10が低電力モードに入る負荷電流閾値は、レギュレータ10が低電力モードを出る負荷電流閾値よりも小さい。例えば、 R_{76} が R_{78} と等しい場合、レジスタ62をわたる電圧降下は、トランジスタ75がオンになるときに2倍に増加する。レジスタ62をわたる電圧降下は、スイッチングレギュレータ11が不連続モードでのピーク電流とRMS電流の関係のため、それ自体で負荷を供給するために十分な正味RMS出力電流を提供するために、1.73（すなわち、 $\sqrt{3}$ ）倍に増加するだけでよい。レジスタ62をわたる電圧降下を2倍に増加することにより、低電力モードを延長するために、負荷により必要とされるよりも大きな出力電流が出力キャパシタ22に供給される。それゆえ、レギュレータ10は、低電力モードに入った負荷電流レベルよりも高い負荷電流レベルまで、低電力モードのままである。ヒステリシスは、多相レギュレータ10の効率をさらに改善する。

【0101】レギュレータ10は、以下のとおりに低電力モードを出る。最終的に、負荷電流は、スイッチングレギュレータ11が、それ自体では、負荷電流を供給できなくなるように十分に上昇する。負荷電流が上昇すると、 V_C は、 V_{SHED} よりも上まで増加するまで上昇し、それにより、スイッチングレギュレータ12～13を再度オンにし、出力電流を伝導させる。また、トランジスタ75が再度オフになるため、スイッチングレギュレータ11/50の電流閾値は、式（2）に示す比率で低減される。

【0102】多相スイッチングレギュレータ10が低電力モードに入ると、レギュレータ10の出力電流の振幅が増加するが、これは、レギュレータ10の出力電流の

全てがスイッチングレギュレータ11により供給されるためである(例えば、図4の波形1OUT2)。好ましくは、レギュレータ10は、例えば、波形1OUT2により示されるように、その最小瞬間出力電流がゼロに達した後、低電力モードに入る。これは、レギュレータ10の出力電流リップルの振幅が好ましくないほど大きくならないように、負荷電流が、低電力モードで十分に小さいことを確実にすることを助長する。低電力モードでの出力電流リップルの振幅が、通常モードでの最大値よりも大きい場合、出力キャパシタ22は、出力電流およびVOUTの同量のフィルタリングを提供するために、より大きなキャパシタンスを有しなければならない。従って、同サイズのキャパシタ22を維持するために、低電力モードのレギュレータ10の出力電流リップルのRMS振幅は、通常モードの出力電流リップルの最大RMS振幅よりも実質的に大きくなるべきではない。

【0103】同様の考えが、VINに結合された入力キャパシタにもあてはまる。入力キャパシタ53は、図2に示すように、VINに結合されている。低電力モードが始まる前に、多重位相スイッチングレギュレータ10における入力電流リップルは、切り換え周期にわたって、広がる(spread out)。なぜなら、入力電流が、好ましくは、異なる時刻に、3つのスイッチングレギュレータ11~13全てに送られるからである。レギュレータ10が低電力モードに入る場合、切り換え周期のうちのわずかな時間で、全ての入力電流がスイッチングレギュレータ11に送られるので、入力電流の振幅は増大する。低電力モードにおける入力電流の振幅が通常モードにおける最大値より大きい場合、入力キャパシタンスは、同量の入力電流およびVINフィルタリングを提供するためには、増大される必要がある。従って、低電力モード閾値VSHEDは、低電力モードにおける入力RMS電流の振幅が、実質的に、通常モードにおける最大RMS値を越えて増大しないことを確実にするようなレベルに設定される必要がある。

【0104】利得制御回路のさらなる例を、図5および図6A~6Bに示す。利得制御回路100、120、および140のうちのいずれも、図2の利得制御回路70の代わりに用いられ得る。利得制御回路100、120、および140のうちのいずれも、利得制御回路70の代わりに、ノード71で、スイッチングレギュレータ50の比較器60に結合され得る。図5を参照すると、利得制御回路100は、インバータ116、MOSFET102および114、増幅器104、ならびに、抵抗器106、108、110、および112を含む。通常モード中、電流は、VCから、抵抗器108および110、ならびにMOSFET114を、グラウンドまで流れる。GC入力が、レギュレータ12~13において接地され、VDISが0であるので、MOSFET114は、抵抗器112を短絡させる。

【0105】増幅器104の非反転入力での電圧は、抵抗器108および110によって形成される抵抗分割器、ならびにVC(相互コンダクタンス増幅器18の出力電圧)によって決定される。増幅器104は、非反転入力での電圧の変化に応じて、MOSFET102および抵抗器106を流れる電流を変動させる。MOSFET102を流れる電流は、レギュレータ50内の抵抗器62を流れる電流と等しい。従って、利得制御回路100は、利得制御70と同様に、VCにおける変化に応じて、レギュレータ50の電流閾値を変動させて、VOUTを調節する。

【0106】スイッチングレギュレータ11のGC入力は、図1に示すように、VDISに結合される。低電力モードの始まりで、VDISがハイになる場合、MOSFET114のゲートは、ローになり、レギュレータ11において、MOSFET114がオフになる。ここで、電流は、VCから抵抗器108、110、および112を介して、グラウンドまで流れる。増幅器104の非反転入力での電圧は、抵抗器108、110、および112によって形成される抵抗分割器によって、ここで決定される。抵抗器62にかけられる電圧は、レギュレータ50の電流閾値を決定するが、VDISがハイになる場合、以下の式に従って増大する。

【0107】

【数3】

$$\frac{V_{R62B}}{V_{R62A}} = \frac{(R_{110} + R_{112})(R_{108} + R_{110})}{R_{110}(R_{108} + R_{110} + R_{112})} \quad (3)$$

ただし、VR62Aは、VDISがローである場合に抵抗器62にかけられる電圧降下であり、VR62Bは、VDISがハイである場合に抵抗器62にかけられる電圧降下であり、R108は、抵抗器108の抵抗であり、R110は、抵抗器110の抵抗であり、R112は、抵抗器112の抵抗である。レギュレータ11の電流閾値は、VDISがハイになる場合に増大し、負荷電流が供給される。

【0108】次に、図6Aを参照すると、利得制御回路120は、増幅器122、MOSFET124、MOSFET126、MOSFET132、ならびに、抵抗器128および130を含む。VDISがローである場合の通常モードにおいて、全てのレギュレータ11~13においてMOSFET132はオフであり、電流は抵抗器130およびMOSFET126を流れない。抵抗器62を流れる電流は、通常モードにおいて抵抗器128を流れる電流と等しい。VCは、増幅器122の非反転入力に結合される。増幅器122は、VCに応じて、MOSFET124および抵抗器62を流れる電流を変動させ、VOUTを調整する。

【0109】GC入力は、MOSFET132に結合されている。低電力モードの開始時にVDISがハイになる場合、レギュレータ11においてMOSFET132が

オンになり、ここで、電流は、MOSFET126および132、ならびに抵抗器130を介して、グラウンドまで流れる。ここで、抵抗器130と128とは、並列に結合され、このことにより、両方の抵抗器を流れる総電流が増大する。ここで、抵抗器62を流れる電流は、抵抗器130を流れる電流に抵抗器128を流れる電流を加えた電流と等しい。抵抗器128を流れる電流は、 V_{DIS} がハイになる場合に(V_C が変化しないと仮定して)、一定である。従って、MOSFET126/132、および抵抗器130を流れる電流は、抵抗器62を流れる電流の増大分と等しい。レギュレータ11の電流閾値は、 V_{DIS} がハイになる場合に、抵抗器130を流れる電流によって決定される割合で、増大する。抵抗器130の抵抗は、レギュレータ11の電流閾値が、負荷電流を供給し、低電力モードにおいて V_{OUT} を調整するために十分なほど増大するように、以下の式に従って、選択される。

【0110】

【数4】

$$\frac{V_{R62B}}{V_{R62A}} = \frac{R_{130}}{R_{130} + R_{128}} \quad (4)$$

ただし、 R_{130} は、抵抗器130の抵抗であり、 R_{128} は、抵抗器128の抵抗である。低電力モードにおいて、増幅器122は、 V_C における変化に応じて、MOSFET126および124を流れる電流を変動させる。

【0111】次に、図6Bを参照すると、利得制御回路140は、MOSFET142、MOSFET148、MOSFET150、ならびに、抵抗器144および146を含む。GC入力は、MOSFET148に結合される。通常モードにおいて、 V_{DIS} がローであり、全てのレギュレータ11~13においてMOSFET148はオフである。MOSFET142および150のゲートは互いに結合され、電流ミラーを形成する。MOSFET142のMOSFET150に対するゲートの面積(長さ×幅)の比は、MOSFET142を流れる電流のMOSFET150を流れる電流に対する比と等しい。MOSFET142を流れる電流は、レギュレータ50内の抵抗器62を流れる電流と等しい。MOSFET150および142を流れる電流は、 V_C に比例する。従って、 V_C は、レギュレータ11~13の電流閾値を設定する。

【0112】低電力モードにおいて、 V_{DIS} がハイになり、MOSFET148は、レギュレータ11において、短絡している抵抗器144をオンにする。ここで、MOSFET142および150を流れる電流が、増大する。抵抗器62にかけられる電圧降下も、以下の式に従って増大する。

【0113】

【数5】

$$\frac{V_{R62B}}{V_{R62A}} = \frac{(R_{144} + R_{146})(V_C - V_{GSB})}{R_{146}(V_C - V_{GSA})} \quad (5)$$

ただし、 R_{144} は、抵抗器144の抵抗であり、 R_{146} は、抵抗器146の抵抗であり、 V_{GSA} は、MOSFET148がオフである場合のMOSFET150のゲートソース間電圧であり、 V_{GSB} は、MOSFET148がオンである場合のMOSFET150のゲートソース間電圧である。MOSFET150のゲートソース間電圧は、MOSFET148がオンになる場合に増大し、式(4)に示すように、 V_{R62A} と V_{R62B} との間に非線形の関係を作り出す。

【0114】本願において、2つの回路素子間にエネルギー移動経路がある場合、これらの2つの回路素子を(2つの回路素子が直接相互接続されていない場合にも)「結合」状態であると見なす。例えば、電流ミラー142/150を、抵抗器146および抵抗器144(またはトランジスタ148)を通じて増幅器18に結合する。

【0115】本発明のさらなる実施形態において、任意の数のさらなる単相スイッチングレギュレータを、多相スイッチングレギュレータ10に追加することができる。例えば、本発明の多相スイッチングレギュレータは、入力電圧と負荷との間に並列結合された4つの単相スイッチングレギュレータを有し得る。この実施形態におけるこれらの単相スイッチングレギュレータのうち3つは、負荷電流が V_{SHED} 閾値を下回った場合にOFFにすることができるため、残りのスイッチングレギュレータは、全負荷電流を低電力モードで供給する。

【0116】これらの4つのスイッチングレギュレータの実施形態の一例を図7に示す。多相スイッチングレギュレータ180は、単相電流モードのスイッチングレギュレータ181~184と、低負荷コンパレータ20と、相互コンダクタンス増幅器18と、出力キャパシタ22と、抵抗器ディバイダ16A/16Bと、抵抗器24と、キャパシタ23および25とを含む。キャパシタ22と、抵抗器16Aおよび16Bと、サイドレギュレータ181~184内の他の回路とを、集積回路の外部に設けてもよい。

【0117】図2中のスイッチングレギュレータ50は、スイッチングレギュレータs181~184の一例である。レギュレータ181~184の切換えは、クロック信号 V_{CLK1} 、 V_{CLK2} 、 V_{CLK3} および V_{CLK4} によって制御される。これらのクロック信号は好適には、クロック期間の1/4の間隔で均等に配置されたクロックパルスを有し、これにより、出力リップル電流の振幅を最小化する。 V_{DIS} がHIGHになると、スイッチングレギュレータ182~184はOFFになり、スイッチングレギュレータ181は、複相レギュレータ180の全て

の出力電流を供給する。ITDISがHIGHになったときにスイッチングレギュレータ181の正味のRXS出力電流が少なくとも4倍増加するように、式(2)中の抵抗器の比を設定する。

【0118】3つ以上の単相スイッチングレギュレータを含む本発明のさらなる実施形態において、2つ以上の単相スイッチングレギュレータを低電力モードでONにして、負荷電流を供給することが可能である。利得制御回路(例えば、利得制御回路70)(ヒステリシスの有無に関わらず)を、低電力モードでONになっている各スイッチングレギュレータ内に設けて、通常モードと低電力モードとの間での切換え時に単相スイッチングレギュレータの電流閾値を調節してもよい。さらなる実施形態において、多相スイッチングレギュレータは、低電力モードでONのままになっている2つ以上の単相スイッチングレギュレータの電流閾値を制御する利得制御回路を1つ有してもよい。

【0119】本発明の別の実施形態において、並列結合された各単相スイッチングレギュレータに、固有かつ別個のフィードバックループ回路を持たせてもよい。このようなフィードバックループ回路としては、例えば、出力電流を当該単相スイッチングレギュレータのみを通じて変更するエラー増幅器がある。これらのフィードバックループの1つまたは別個のフィードバックループを、低負荷コンパレータに結合させて、負荷電流が低負荷コンパレータの閾値を下回るタイミングを示す。

【0120】本発明の多相スイッチングレギュレータは、複数の低電力モードで並列結合された複数の単相スイッチングレギュレータを含み得る。本発明のこのような実施形態の一例を図8に示す。図8中の多相スイッチングレギュレータ200は、並列結合された3つの単相スイッチングレギュレータ回路を有し、3つの動作モード(すなわち、負荷電流が高レベル~中レベルのときの通常モード、負荷電流が低レベルのときの第1の低電力モード、および負荷電流が極めて低レベルのときの第2の低電力モード)で動作する。通常モードの場合、3つのスイッチングレギュレータは全てONとなる。第1の低電力モードの場合、2つのスイッチングレギュレータがONとなり、1つのスイッチングレギュレータはOFFとなる。第2の低電力モードにおいて、1つのスイッチングレギュレータはONとなり、2つのスイッチングレギュレータはOFFとなる。第1の低電力モードおよび第2の低電力モードでは、負荷電流が低いときの複相レギュレータの効率が向上する。

【0121】多相スイッチングレギュレータ200は、電流モードで単相でありかつ並列結合された、3つのスイッチングレギュレータ回路211~213と、低負荷電圧コンパレータ220および221と、相互コンダクタンス増幅器218、抵抗器216A/216Bおよび224と、キャパシタ222、223および225とを

含む。3つのスイッチングレギュレータ211~213は全て、負荷電流が高レベルから中レベルである場合、出力キャパシタ222に結合された負荷に出力電流を提供する。抵抗器ディバイダ216A/216Bは、電圧フィードバック信号VFBを相互コンダクタンス増幅器218に提供する。キャパシタ223および225ならびに抵抗器224は、フィードバックループの周波数補償を行う。出力キャパシタ222ならびに抵抗器216Aおよび216Bは、集積回路の外部に設けてもよい。

【0122】増幅器218の出力電圧 V_c は、スイッチングレギュレータ211~213の V_c 入力に提供される。図2中のスイッチングレギュレータ50は、スイッチングレギュレータ212~213の各々の一例である。レギュレータ212~213は、他の標準的なスイッチングレギュレータの構成も含むことができる。出力電圧 V_c は、レギュレータ212~213用の電流コンパレータ60の電流閾値を変更し、これにより、図2に関して上述したように V_{out} を調節する。 V_c が負荷電流に比例して変化するにつれて、スイッチングレギュレータ211~213は、 V_{out} を調節し、負荷電流を供給するように、自身のインダクタ電流を変化させる。

【0123】図9に示すスイッチングレギュレータ250は、スイッチングレギュレータ211の一例である。レギュレータ211は、他のスイッチングレギュレータの構成も含むことができる。利得制御回路230は、レギュレータ250の出力電流を制御する。利得制御回路230は、増幅器234と、MOSFET232と、MOSFET238と、MOSFET244と、抵抗器236、240および242とを含む。MOSFET232を通過する電流は、レギュレータ250内の抵抗器62にわたる電圧降下を設定する。MOSFET232を通過する電流は、増幅器234によって制御される。負荷電流が増加するにつれて、 V_c は、増幅器234にMOSFET232の通過電流を増加させる。すると、抵抗器62にわたる電圧降下が増加し、これにより、レギュレータ250中のインダクタ電流が増加する。負荷電流が減少するにつれて、 V_c は、増幅器234にMOSFET232の通過電流を減少させる。すると、抵抗器62にわたる電圧降下が減少し、これにより、レギュレータ250のインダクタ電流が減少する。

【0124】負荷電流が V_{SHED1} によって設定された第1の閾値レベルに降下する場合、多相スイッチング調整器200は、第1の低パワーモードに入る。このモードにおいて、スイッチング調整器213はオフであり、そしてスイッチング調整器211~212はオンである。 V_{DIS1} は、調整器213のDISABLE入力に結合される。 V_c が V_{SHED1} より低く降下する場合、比較器221の出力電圧 V_{DIS1} はHIGHとなり、これによりスイッチング調整器213内のスイッチングトランジスタは、スイッチング調整器213が出力電流を供給しない

ようOFFのままである。 V_{DIS1} はまた、調整器212のGC入力および調整器211のGC1入力に結合される。 V_{DIS1} がHIGHとなる場合、スイッチング調整器211～212はONのままであり、そしてピークおよび平均インダクタ電流を増加させて調整器213が現在OFFであるという事実を保証する。

【0125】 V_{DIS1} は、スイッチング調整器212のゲインコントロール70中のトランジスタ75のゲートに結合される。 V_{DIS1} がHIGHとなる場合、図2を参照して上記したように、トランジスタ75は抵抗器78を接地して短絡し、調整器50/212中の比較器60の電流閾値を増加させる。式(2)において示される抵抗器比は、抵抗器62にわたる電圧降下を増加させてスイッチング調整器212の出力電流が増加するように設定される。例えば、調整器212の出力電流は、負荷電流の1/3から負荷電流の1/2まで増加し得る。

【0126】また、 V_{DIS1} が低負荷電流でHIGHとなる場合、図9のゲインコントロール230中のトランジスタ238はONとなり、そして調整器240を短絡する。ここで調整器211中の抵抗器62にわたる電圧降下は増加する。例えば、調整器211の出力電流は、負荷電流の1/3から負荷電流の1/2まで増加し得る。調整器211および212は、第1の低パワーモードにおける多相調整器200の全出力電流を提供する。

【0127】トランジスタ244は、第1の低パワーモードにおいてOFFである。ここで調整器211中の抵抗器62にわたる電圧降下は、オームの法則から得られる以下の式にしたがって増加する。

【0128】

【数6】

$$V_{R62B} = V_{R62A} \frac{R_{236} + R_{240} + R_{242}}{R_{236} + R_{242}} \quad (6)$$

ここで V_{R62A} は V_{DIS1} がLOWの場合の調整器211中の抵抗器62にわたる電圧降下であり、 V_{R62B} は V_{DIS1} がHIGHの場合の調整器211中の抵抗器62にわたる電圧降下であり、 R_{236} は抵抗器236の抵抗であり、 R_{240} は抵抗器240の抵抗であり、そして R_{242} は抵抗器242の抵抗である。

【0129】このように、 V_{DIS1} がHIGHとなる場合、多相スイッチング調整器200は第1の低パワーモードに入る。このモードにおいて、調整器213はOFFであり、そして調整器211および212はONであって負荷に電流を供給する。調整器211中の抵抗器62の電流閾値は式(6)の抵抗器比だけ増加し、そして調整器212中の抵抗器62の電流閾値は式(2)の抵抗器比だけ増加する。式(2)および(6)において示される抵抗器比は、抵抗器211および212の全出力電流が第1の低パワーモードにおける負荷電流を供給し、そして V_{OUT} が調整された値のままであるように選

択される。

【0130】負荷電流が第2の閾値 V_{SHED2} よりも低く降下する場合、多相スイッチング調整器200は第2の低パワーモードに入る。このモードにおいて、スイッチング調整器212および213はOFFであり、そしてスイッチング調整器211だけが負荷電流のすべてを供給し、そして V_{OUT} を調整する。閾値 V_{SHED2} は、 V_{SHED1} よりも低い負荷電流閾値を設定する。このように、負荷電流が低減するにつれ、 V_C はまず V_{SHED1} にまで低減し、そして次いで負荷電流が継続して降下するにつれ V_{SHED2} まで降下する。 V_C が V_{SHED2} に到達する場合、低負荷比較器220の出力電圧 V_{DIS2} はHIGHとなる。 V_{DIS2} は、図8において示されるように、スイッチング調整器212のDISABLE入力に結合される。

【0131】 V_{DIS2} がHIGHである場合、スイッチング調整器212中のスイッチングトランジスタ（例えば、トランジスタ54および55）はOFFのままであるので調整器212は全く出力電流を供給しない。調整器50/212のDISABLE入力は、例えば図2において示されるようにドライバ回路に結合され得る。このドライバ回路は、 V_{DIS2} がHIGHの場合にスイッチングトランジスタをディセーブルにする。本発明は、調整器211～212のスイッチングトランジスタが V_{DIS1} または V_{DIS2} がHIGHとなった直後にOFFにされない実施形態を含む。第2の低パワーモードのあいだスイッチングトランジスタのうちの1つ以上が V_{DIS1} または V_{DIS2} によってOFFのままにされる前に、それらがスイッチングを継続する遅延があり得る。調整器212中の同期スイッチングトランジスタ54および55は、OFFにされる必要がなく、同時にディセーブルされる必要もない。

【0132】 V_{DIS2} はまた、スイッチング調整器211のGC2入力を介してゲインコントロール回路230に結合される。図9を再度参照すると、トランジスタ244は V_{DIS2} がHIGHの場合にONとなり、抵抗器242を短絡させる。この時点で、上記のように、トランジスタ238はすでにONであり、抵抗器240を短絡する。トランジスタ244をONにする場合、調整器211中の抵抗器62にわたる電圧降下は増加し、比較器60の電流閾値が以下の式にしたがって増加する：

【0133】

【数7】

$$V_{R62C} = V_{R62B} \left(\frac{R_{236} + R_{242}}{R_{236}} \right) \quad (7)$$

ここで V_{R62C} は V_{DIS1} および V_{DIS2} の両方がHIGHの場合の調整器211中の抵抗器62にわたる電圧降下である。

【0134】 V_{DIS2} がHIGHである場合、調整器212および213はOFFであり、そしてスイッチング調

整器211は多相スイッチング調整器200の出力電圧の100%を供給する。式(7)において示される抵抗器比は、調整器211の全出力電流が第2の低パワーモードにおける負荷電流を供給し、そして V_{OUT} が調整された値のままであるように選択される。式(7)において示される抵抗器比は、ヒステリシスを第2の低パワーモードにおけるコントロールループに付加するために、電流閾値が、負荷電流に整合するのに必要な値よりも高いうように増加され得る。

【0135】本発明の多相スイッチングレギュレータは、単一の利得制御ブロックと複数の低電力モードとを有し得る。本発明のこのような実施形態の一実施例を図10に示す。多相スイッチングレギュレータ300は、並列に接続された3つの電流モード単相スイッチングレギュレータ311~313と、低負荷電圧コンパレータ320および321と、利得制御回路314と、トランスコンダクタンス増幅器318と、レジスタ316A/316Bおよび324と、キャパシタ322、323および325を含む。3つのスイッチングレギュレータ311~313のすべては、高負荷電流から中間負荷電流で出力キャパシタ322に接続されている負荷に出力電流を付与する。レジスタデバイダ316A/316Bは、トランスコンダクタンス増幅器318に電圧フィードバック信号 V_{FB} を付与する。キャパシタ323および325、ならびにレジスタ324は、フィードバックループ用の周波数補償を提供する。出力キャパシタ322ならびにレジスタ316Aおよび316Bは、集積回路外部にあり得る。

【0136】図10の多相スイッチングレギュレータ300は、3つの動作モード、すなわち高負荷電流から中間負荷電流での通常モード、低負荷電流での第1の低電力モード、および超低負荷電流での第2の低電力モードで動作する。通常モードでは、3つのスイッチングレギュレータ311~313のすべてがONである。第1の低電力モードでは、スイッチングレギュレータ311および312がONであり、スイッチングレギュレータ313がOFFである。第2の低電力モードでは、スイッチングレギュレータ311がONでありスイッチングレギュレータ312および313がOFFである。第1および第2の低電力モードは、低負荷電流での多相レギュレータの効率を上げる。

【0137】図2のスイッチングレギュレータ50は、スイッチングレギュレータ313の一例である。スイッチングレギュレータ313は、他のスイッチングレギュレータ構造を含み得る。出力電圧 V_C は、レギュレータ313の電流コンパレータ60用の可変閾値を付与することにより、図2に関して上述したように V_{OUT} を制御する。 V_C はさらに、利得制御回路314にも付与される。 V_C は、レギュレータ311~313内の電流コンパレータ用可変閾値を設定する。 V_C は負荷電流に比例

して変化するため、スイッチングレギュレータ311~313は、インダクタ電流を変化させて、 V_{OUT} を制御し且つ負荷電流を提供する。

【0138】スイッチングレギュレータ311および312の一例を図11に示す。レギュレータ311および312もまた、他のレギュレータ構造を含み得る。利得制御回路314は、nチャネルFET331、332、338および344と、増幅器334と、レジスタ335、336、340および342を含む。FET331のドレインは、スイッチングレギュレータ312のICOMP入力に接続されており、FET332のドレインはスイッチングレギュレータ311のICOMP入力に接続されている。レギュレータ312内のレジスタ62を介する電流は、FET331とレジスタ335とを介する電流に等しい。レギュレータ311内のレジスタ62を介する電流は、FET332とレジスタ336とを介する電流に等しい。 V_C に応答する増幅器334は、FET331および332を介する電流とレギュレータ311および312内のレギュレータ62を介する電圧降下を制御する。

【0139】第1の低電力モードの開始時に、 V_{DIS1} はHIGHになってnチャネルMOSFET338をONにし、それによりレジスタ340を短絡させる。レギュレータ311および312内のレジスタ62を介する電圧降下は増加して負荷電流を提供する。第1の低電力モードでは、スイッチングレギュレータ313はOFFでありスイッチングレギュレータ311および312はONである。第2の低電力モードの開始時に、 V_{DIS2} はHIGHになってnチャネルMOSFET344をONにし、それによりレジスタ342を短絡させる。レギュレータ311内のレジスタ62を介する電圧降下は増加して負荷電流を提供する。第2の低電力モードでは、スイッチングレギュレータ313および312はOFFでありスイッチングレギュレータ311はONである。

【0140】本発明のさらなる実施形態は、任意の数の単相スイッチングレギュレータと任意の数の低電力モードとを含み得る。例えば、本発明の多相スイッチングレギュレータは、並列に接続された4つの単相スイッチングレギュレータと1、2または3の低電力モードとを有し得る。例えば、4つのスイッチングレギュレータを有する実施形態は、1つのスイッチングレギュレータがOFFである第1の低電力モードと、2つのスイッチングレギュレータがOFFである、さらに低い負荷電流での第2の低電力モードと、3つのスイッチングレギュレータがOFFである、なおいっそう低い負荷電流での第3の低電力モードとを有し得る。

【0141】あるいは、4つのスイッチングレギュレータを有する実施形態は、1つのスイッチングレギュレータがOFFである第1の低電力モードと、2または3のスイッチングレギュレータがOFFである、さらに低い

負荷電流での第2の低電力モードとを有し得る。さらに、4つのスイッチングレギュレータを有する実施形態は、2つのスイッチングレギュレータがOFFである第1の低電力モードと、3つのスイッチングレギュレータがOFFである、さらに低い負荷電流での第2の低電力モードとを有し得る。追加の低電力モードは、回路を追加することによって実現される。本発明のさらに別の実施形態においては、各単相スイッチングレギュレータが、別々の入力電圧源に接続され得る。

【0142】本発明のさらなる実施形態において、多相スイッチングレギュレータは、図12に示すように、僅か2つの単相スイッチングレギュレータを含み得る。図12の多相スイッチングレギュレータ400は、キャパシタ22に並列に接続された2つの単相スイッチングレギュレータ11および13を有する。スイッチングレギュレータ13は低負荷電流でOFFであり、スイッチングレギュレータ11は低電力モードで負荷電流のすべてを提供する。図2は、上述したように、スイッチングレギュレータ11および13の一例を示す。レギュレータ400の他の要素は、図1に関して上述した通りである。

【0143】

【発明の効果】本発明は、ステージ制限(stage shedding)を有する多相スイッチングレギュレータを提供する。本発明の多相スイッチングレギュレータは、出力キャパシタに並列に接続された複数の単相スイッチングレギュレータを有する。複数の単相スイッチングレギュレータは、調整された電圧で、負荷に電流を供給する。コンパレータが負荷電流をモニタリングし、低負荷電流閾値において、前記単相スイッチングレギュレータのうちの1つ以上のレギュレータをオフにする。オンのままの少なくとも1つの単相スイッチングレギュレータが、その出力電流を上昇させ、多相スイッチングレギュレータ出力電流が、負荷電流に適合し続ける。本発明は、第1の低負荷電流閾値よりも低い第2の低負荷電流閾値において、さらなる単相スイッチングレギュレータをオフにする第2のコンパレータを含み得る。

【0144】本発明によれば、軽負荷電流を含む、幅広いレンジの負荷電流に渡って高効率を提供する多相スイッチングレギュレータを提供することが可能である。

【0145】さらに、本発明によれば、小振幅出力リップル電流および出力リップル電圧を有する多相スイッチングレギュレータを提供することが可能である。

【0146】さらに本発明によれば、小振幅入力リップル電流を有する多相スイッチングレギュレータを提供す

ることが可能である。

【0147】当業者であればさらに、本発明の回路が上記したもの以外の回路構成を用いて実現され得ることを認識する。そのような改変のすべては、本発明の範囲内であり、本発明の範囲は、特許請求の範囲によってのみ限定される。

【図面の簡単な説明】

【図1】図1は、本発明の原理に従う、3つのステージの高効率多相スイッチングレギュレータの模式図である。

【図2】図2は、本発明の原理に従う、例示的な同期切り換え調整器の模式図である。

【図3】図3は、図1の多相スイッチングレギュレータのための例示的なクロック信号波形のグラフである。

【図4】図4は、図1の回路の出力電流波形のグラフである。

【図5】図5は、本発明の原理に従う、例示的な利得制御回路のグラフである。

【図6A】図6Aは、本発明の原理に従う、さらなる例示的な利得制御回路の模式図である。

【図6B】図6Bは、本発明の原理に従う、さらなる例示的な利得制御回路の模式図である。

【図7】図7は、本発明の原理に従う、4つのステージの高効率多相スイッチングレギュレータの模式図である。

【図8】図8は、本発明の原理に従う、3つのステージの高効率多相スイッチングレギュレータの代替的实施形態の模式図である。

【図9】図9は、本発明の原理に従う、さらなる例示的な同期切り換え調整器の模式図である。

【図10】図10は、本発明の原理に従う、3つのステージの高効率多相スイッチングレギュレータの別の実施形態の模式図である。

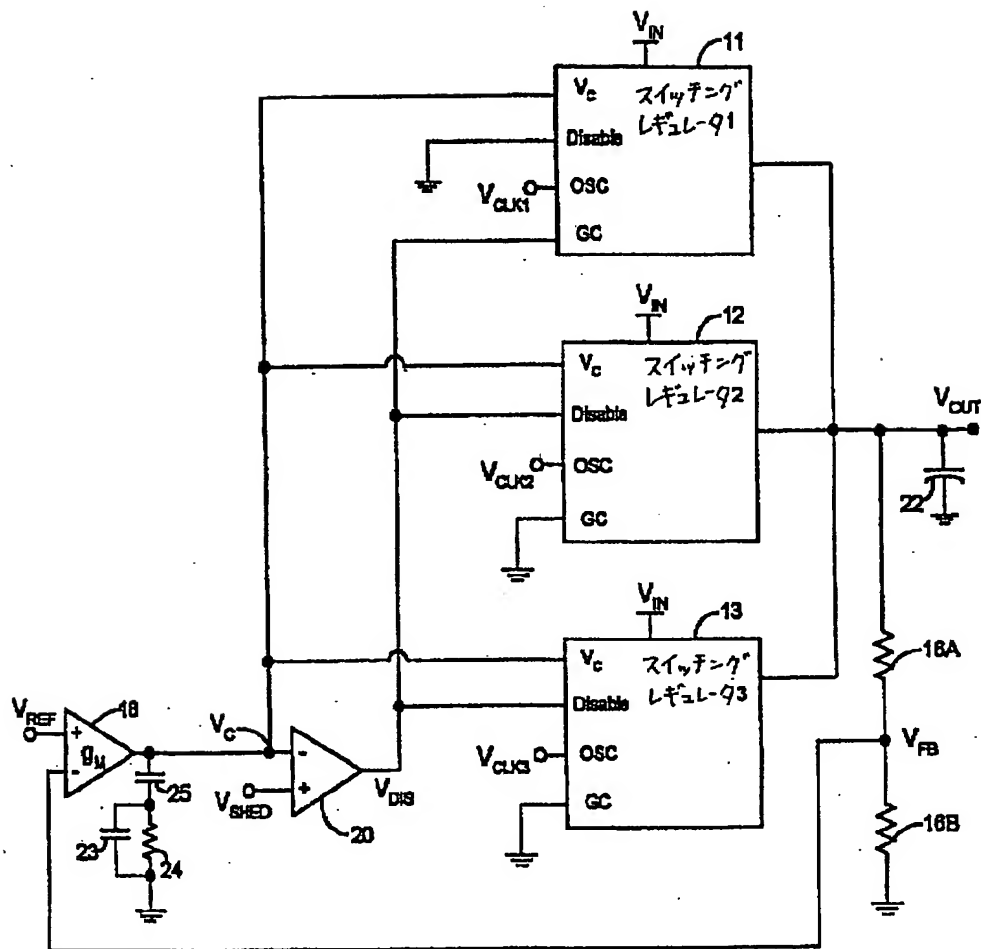
【図11】図11は、本発明の原理に従う、他の例示的な切り換え調整器および利得制御回路の模式図である。

【図12】図12は、本発明の原理に従う、2つのステージの高効率多相スイッチングレギュレータの模式図である。

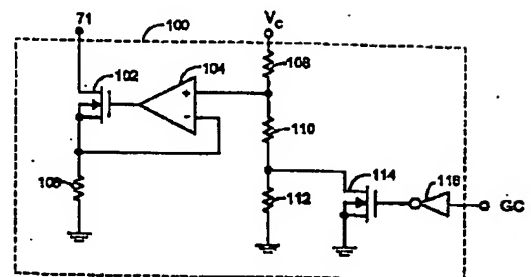
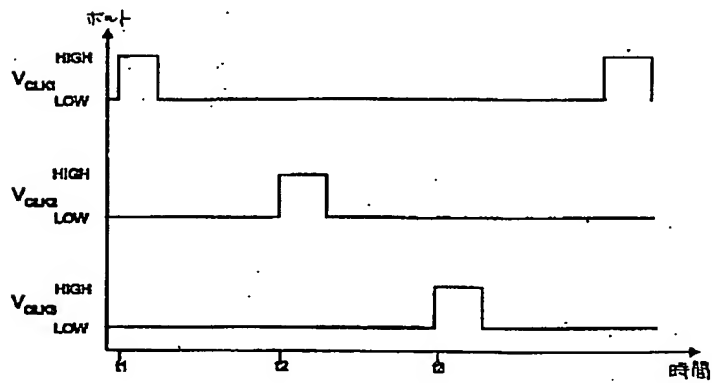
【符号の説明】

- 11 スwitchングレギュレータ1
- 12 スwitchングレギュレータ2
- 13 スwitchングレギュレータ3
- 52 ドライバ回路部
- 64 PWM回路部

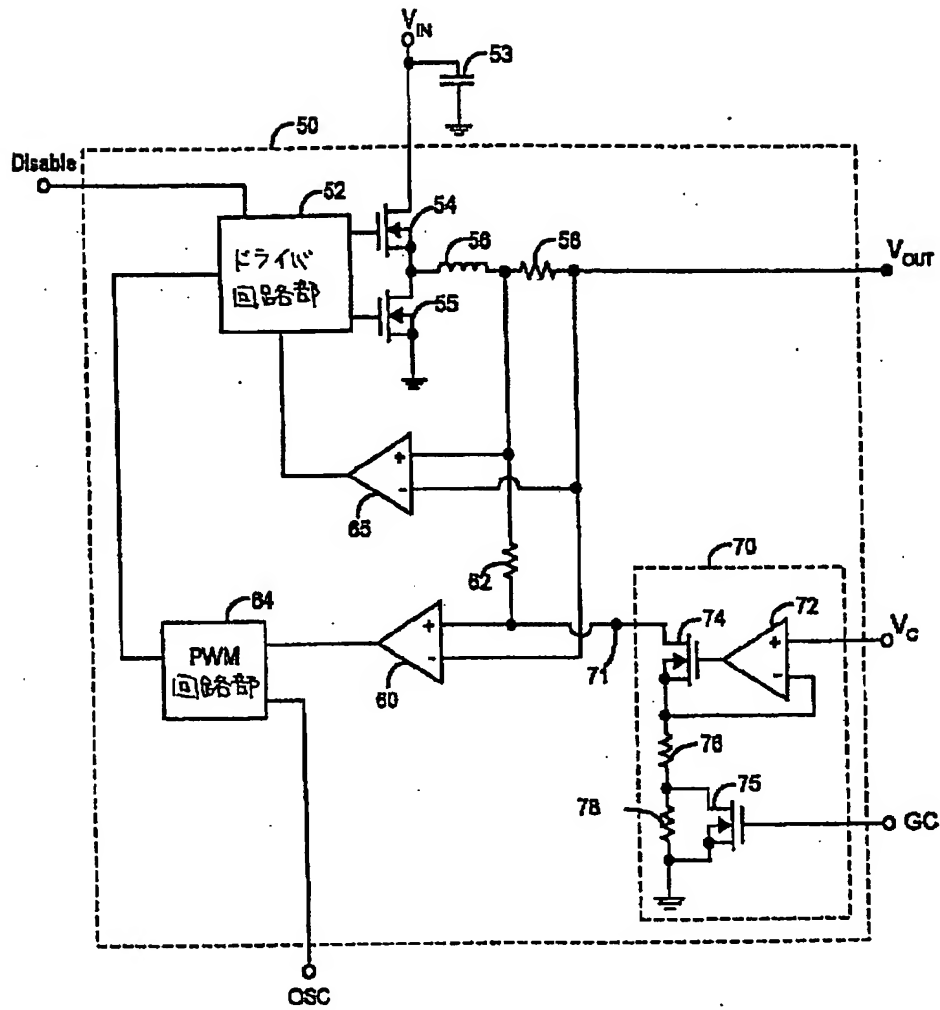
10



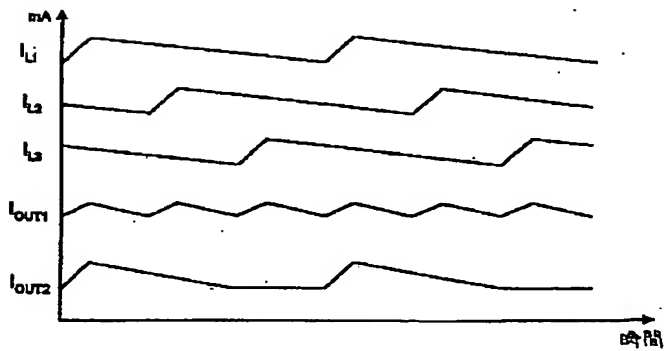
【図5】



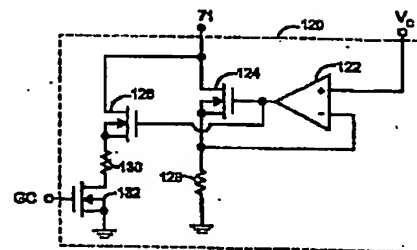
【図2】



【図4】



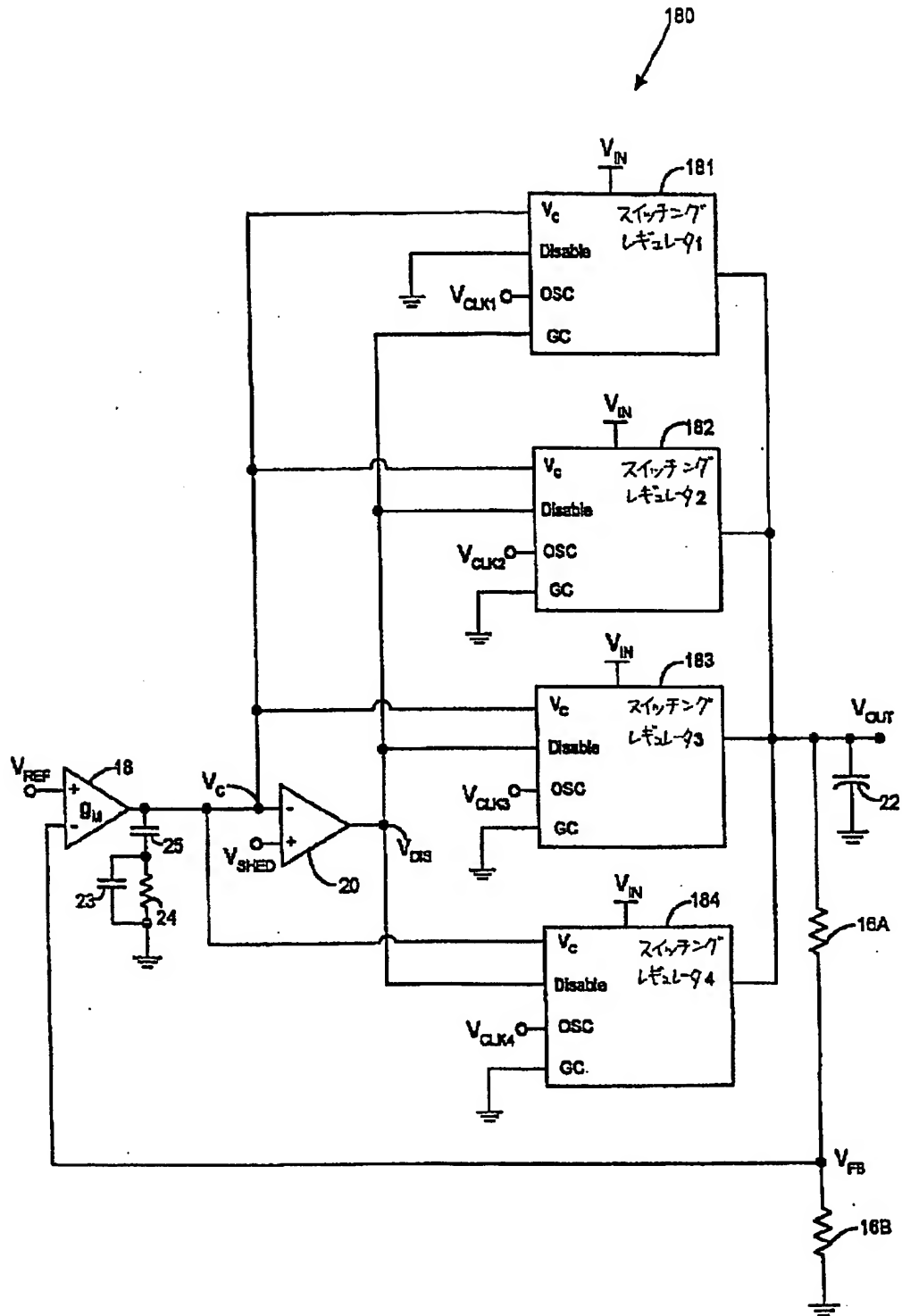
【図6A】



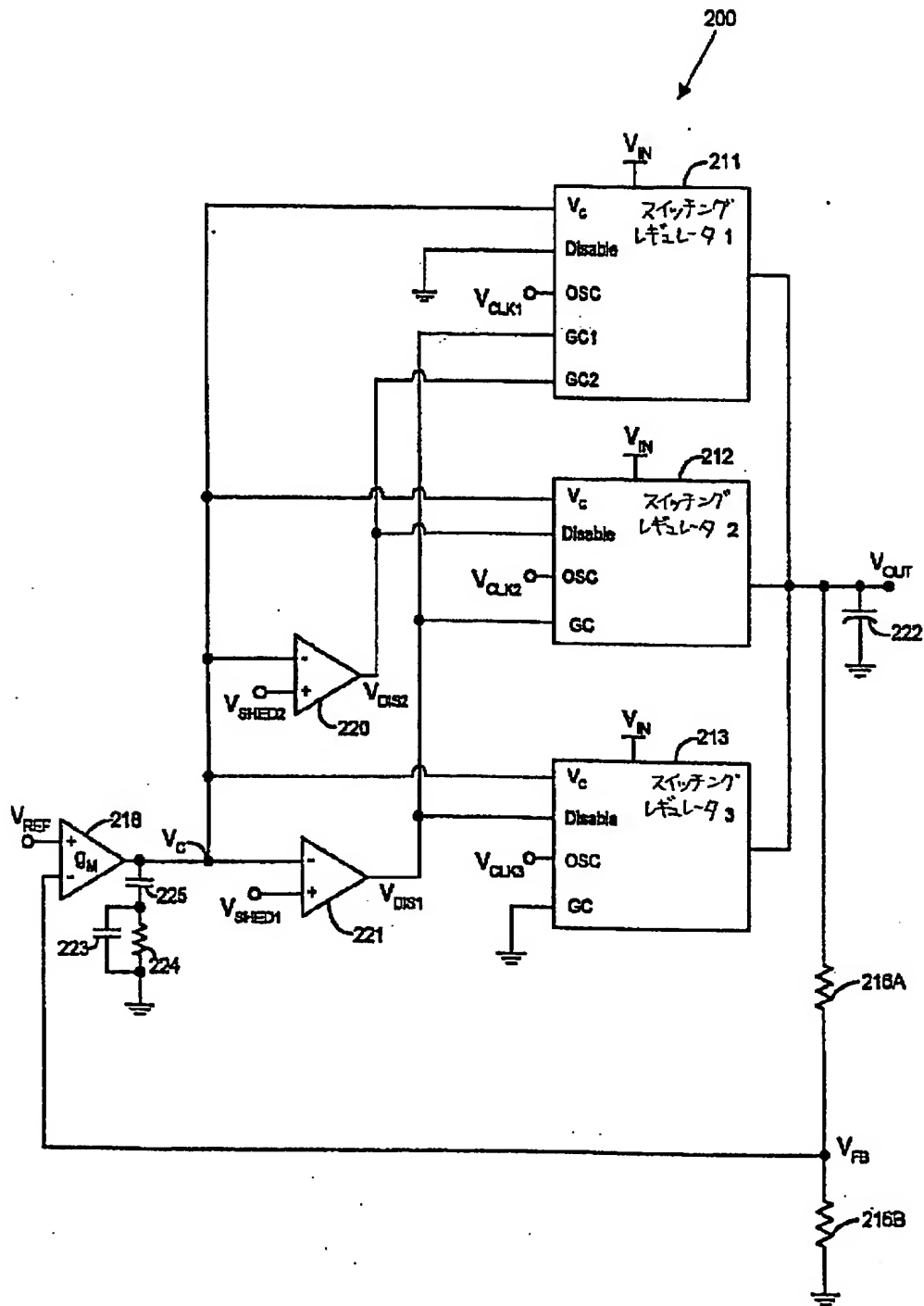
The circuit diagram shows a power converter with the following components and connections:

- Inputs:** V_{IN} (input voltage), V_{OUT} (output voltage), V_C (bootstrap capacitor voltage), $GC1$ (gate control 1), and $GC2$ (gate control 2).
- Control and Timing:**
 - OSC** (oscillator) input to the **PWM 回路部** (PWM circuit block 64).
 - Disable** input to the **ドライブ 回路部** (driver circuit block 52).
- Power Stage:**
 - The **ドライブ 回路部** (52) drives a half-bridge consisting of MOSFETs 54 and 55.
 - Inductors 58 are connected in series with the MOSFETs.
 - The output voltage V_{OUT} is taken across the second inductor 58.
- Feedback and Compensation:**
 - A feedback network consisting of resistors 62 and 63 is connected between the output and the inverting input of the **比較器** (comparator 60).
 - The non-inverting input of the comparator 60 is connected to the **ドライブ 回路部** (52).
 - The output of the comparator 60 is connected to the **PWM 回路部** (64).
 - The **PWM 回路部** (64) also receives the **OSC** signal.
- Bootstrap Circuit (230):**
 - Used to drive the gate of MOSFET 232.
 - Includes a bootstrap capacitor 234 connected between the gate of 232 and the drain of 232.
 - Diode 236 is connected between the gate of 232 and the output V_{OUT} .
 - Diode 238 is connected between the gate of 232 and the $GC1$ input.
 - Diode 244 is connected between the gate of 232 and the $GC2$ input.
 - Resistors 238, 240, and 242 are connected in series between the $GC1$ and $GC2$ inputs.

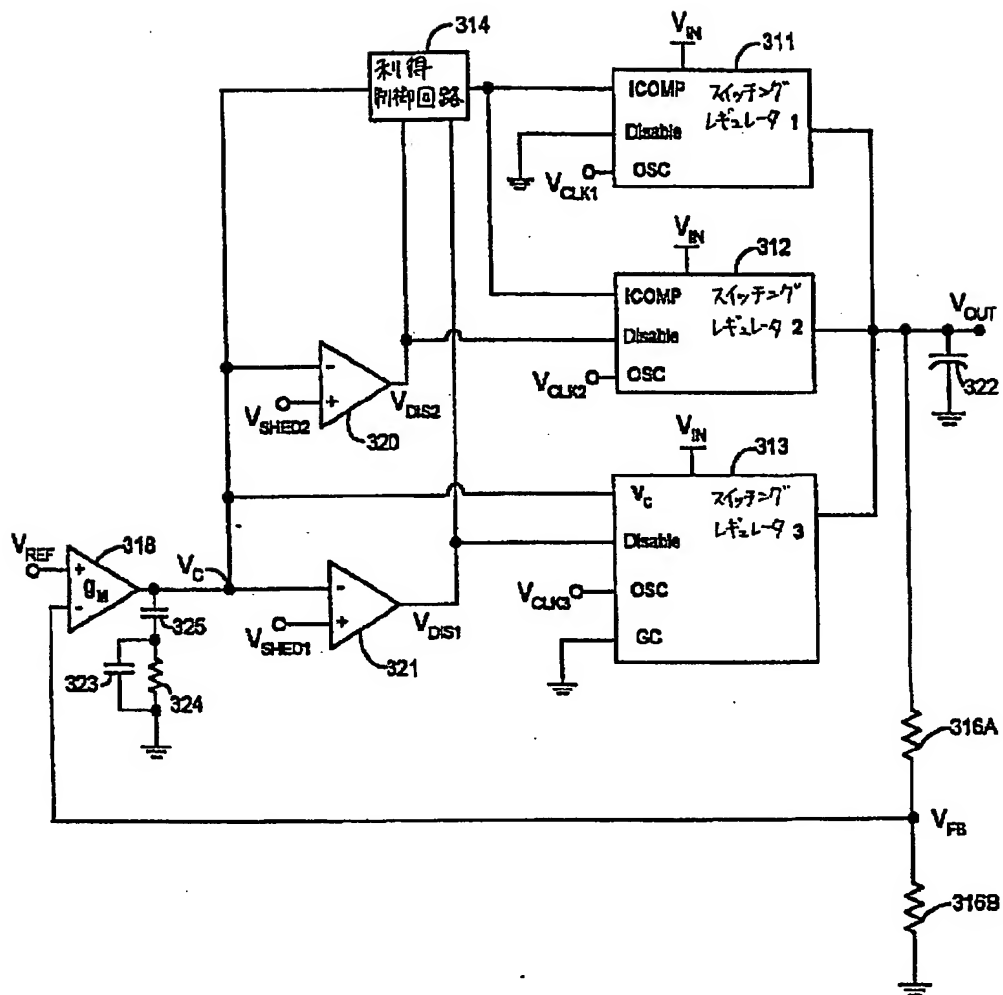
【図7】



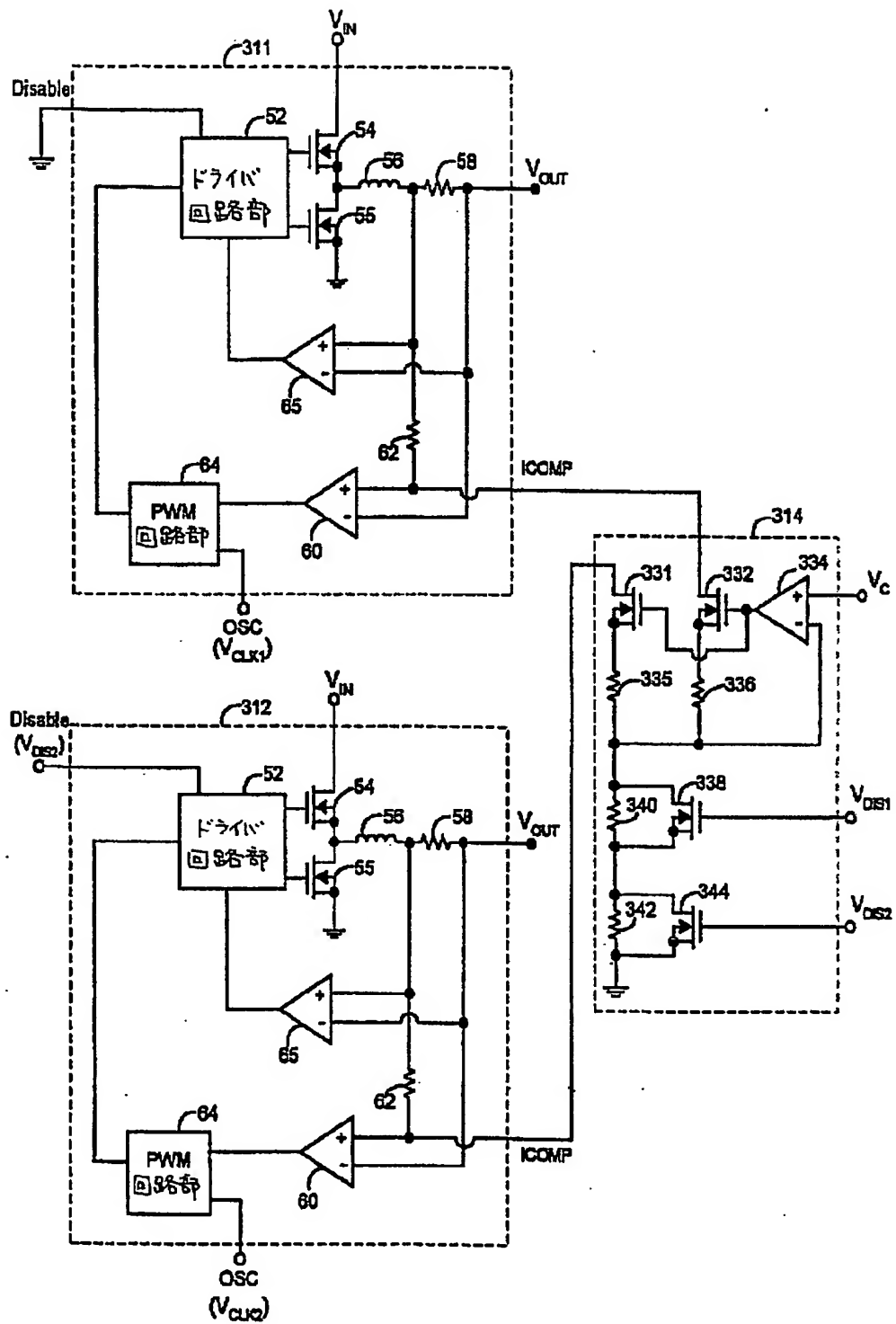
【図8】



300



【図11】



The circuit diagram shows a voltage divider circuit. It includes two switching regulators, 11 and 13, both labeled "スイッチングレギュレータ" (Switching Regulator). Regulator 11 has inputs for V_{IN} (labeled 400), V_C , and V_{CLK1} (connected to ground), and outputs for V_{OUT} , V_{FB} , V_{OSC} , and V_{GC} . Regulator 13 has inputs for V_{IN} , V_C , and V_{CLK2} (connected to ground), and outputs for V_{OUT} , V_{FB} , V_{OSC} , and V_{GC} . Two operational amplifiers, 18 and 20, are also present. Op-amp 18 has a non-inverting input (+) connected to V_{REF} and an inverting input (-) connected to a network of capacitors 23 and 25, and a resistor 24 connected to ground. Its output is V_C . Op-amp 20 has a non-inverting input (+) connected to V_{SHED} and an inverting input (-) connected to V_C . Its output is V_{DIS} . The circuit also includes resistors 16A and 16B in series between the output of the regulators and the feedback input V_{FB} .

Fターム(参考) 5H730 BB13 BB14 BB82 DD04 FD01
FG05 FG10 FG16 FG23